

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

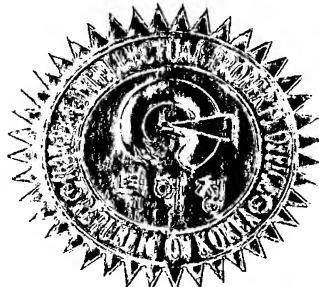
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0077826  
Application Number

출원년월일 : 2002년 12월 09일  
Date of Application DEC 09, 2002

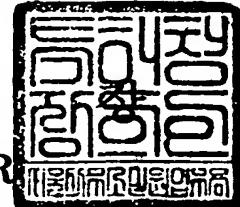
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 19일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2002.12.09
【국제특허분류】	H01L
【발명의 명칭】	불휘발성 강유전체 메모리 장치
【발명의 영문명칭】	Nonviolation ferroelectric memory device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	44	면	44,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	29	항	1,037,000	원
【합계】			1,110,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명에 따른 불휘발성 강유전체 메모리 장치는, 셀 어레이 블록의 강유전체 메모리 셀에 연결된 워드라인을 선택하는 워드라인 디코더 및 플레이트 라인을 선택하는 플레이트 라인 디코더를 포함하여 구성되는데, 여기서, 워드라인 디코더는 셀 어레이 블록의 외곽에 배치되는 제1 서브 워드라인 디코더 및 제2 서브 워드라인 디코더로 구분되고, 플레이트 라인 디코더는 셀 어레이 블록의 외곽에 배치되는 제1 서브 플레이트 라인 디코더 및 제2 서브 플레이트 라인 디코더로 구분된다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

불휘발성 강유전체 메모리 장치{Nonviolation ferroelectric memory device}

**【도면의 간단한 설명】**

도 1은 일반적인 강유전체의 히스테리시스 곡선을 나타낸 그래프.

도 2는 종래 기술에 따른 불휘발성 강유전체 메모리 장치의 단위 셀을 나타낸 회로도.

도 3a 및 도 3b는 종래 기술에 따른 불휘발성 강유전체 메모리 장치의 동작을 나타낸 타이밍도.

도 4는 본 발명에 따른 불휘발성 강유전체 메모리 장치를 나타낸 블록도.

도 5는 도 4에 도시된 블록도에서 셀 어레이 블록을 나타낸 상세 블록도.

도 6은 도 5에 도시된 블록도에서 서브 셀 어레이 블록의 상세 회로를 나타낸 회로도.

도 7은 도 5에 도시된 블록도에서 메인 비트 라인 풀업 제어부의 상세 회로를 나타낸 회로도.

도 8은 도 5에 도시된 블록도에서 메인 비트 라인 부하 제어부의 상세 회로를 나타낸 회로도.

도 9는 도 4에 도시된 블록도에서 칼럼 선택 제어 블록의 상세 회로를 나타낸 회로도.

도 10은 도 4에 도시된 본 발명에 따른 불휘발성 강유전체 메모리 장치의 라이트 동작을 나타낸 타이밍도.

도 11은 도 4에 도시된 본 발명에 따른 불휘발성 강유전체 메모리 장치의 리드 동작을 나타낸 타이밍도.

도 12 및 도 13은 도 4에 도시된 블록도에서 제1 신호 디코더 블록 및 제2 신호 디코더 블록의 상세 블록도와 워드라인 WL/플레이트 라인 PL 구동부를 나타낸 블록도.

도 14는 도 12 및 도 13에 도시된 워드라인 WL/플레이트 라인 PL 구동부의 일실시 예의 상세 회로를 나타낸 회로도.

도 15는 도 14에 도시된 워드라인 구동부의 동작을 나타낸 타이밍도.

도 16은 도 12 및 도 13에 도시된 워드라인 WL/플레이트 라인 PL 구동부의 다른 실시 예의 상세 회로를 나타낸 회로도.

도 17은 도 16에 도시된 플레이트 라인 구동부의 동작을 나타낸 타이밍도.

도 18은 도 12 및 도 13에 도시된 블록도에서 제1 신호 디코더 블록을 구성하는 복수의 제1 신호 디코더부 중의 하나의 상세 회로를 나타낸 회로도.

도 19는 도 12 및 도 13에 도시된 블록도에서 제2 신호 디코더 블록을 구성하는 복수의 제2 신호 디코더부 중의 하나의 상세 회로를 나타낸 회로도.

도 20은 도 12 및 도 13에 도시된 블록도에서 게이트 승압전압을 발생하는 게이트 승압전압 발생부의 상세 회로를 나타낸 회로도.

도 21은 도 14에 도시된 워드라인 구동부의 레이아웃 단면을 나타낸 단면도.

도 22는 본 발명에 따른 불휘발성 강유전체 메모리 장치의 다른 실시 예를 나타낸 블록도.

도 23은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 또 다른 실시 예를 나타낸 블록도.

도 24는 강유전체 메모리 장치의 제어 회로 블록에서 어드레스 천이 검출 회로의 상세 블록을 나타낸 블록도.

도 25는 도 24에 도시된 블록도에서 어드레스 버퍼의 상세 회로를 나타낸 회로도.

도 26은 도 24에 도시된 블록도에서 어드레스 래치의 상세 회로를 나타낸 회로도.

도 27은 도 24에 도시된 블록도에서 어드레스 천이 검출부의 상세 회로를 나타낸 회로도.

도 28은 도 24에 도시된 어드레스 천이 검출 회로의 동작을 나타낸 타이밍도.

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<28> 본 발명은 불휘발성 강유전체 메모리 장치에 관한 것으로, 보다 상세하게는 워드라인/플레이트 라인 디코더가 분리되어 셀 어레이 블록의 외곽에 배치되어, 신호 디코더 영역을 두개로 나누어 제어함에 따라 면적을 줄이고 구동 신호 속도를 향상시킬 수 있는 불휘발성 강유전체 메모리 장치에 관한 것이다.

<29> 일반적으로 불휘발성 강유전체 메모리(Ferroelectric Random Access Memory; FRAM)는 디램(Dynamic Random Access Memory; DRAM)과 비슷한 데이터 처리 속도를 갖고, 전원

의 오프(off)시에도 데이터가 보존되는 특성(불휘발성) 때문에 차세대 기억 소자로 주목 받고 있다.

<30> FRAM은 DARM과 거의 유사한 구조를 갖는 기억소자로써 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류분극을 이용한 것이다. 이와 같은 잔류분극 특성으로 인해 전계를 제거하여도 데이터가 지워지지 않는다.

<31> 도 1은 일반적인 강유전체의 히스테리시스 곡선을 나타낸 그래프이다.

<32> 강유전체의 히스테리시스 곡선은 전계에 의해 유기된 분극이 전계를 제거하여도 잔류분극(또는 자발분극)의 존재로 인하여 소멸되지 않고, 일정량( $d$ ,  $a$  상태)을 유지하고 있는 것을 나타내고 있다.

<33> 불휘발성 강유전체 메모리 셀은 도 1의  $d$ ,  $a$  상태를 각각 1, 0으로 대응시켜 기억 소자에 저장된 데이터로 응용한 것이다.

<34> 이하, 종래 기술에 따른 불휘발성 강유전체 메모리 장치를 첨부된 도면을 참조하여 설명하기로 한다.

<35> 도 2는 종래 기술에 따른 불휘발성 강유전체 메모리의 단위 셀을 나타낸 도면이다.

<36> 불휘발성 강유전체 메모리의 단위 셀은, 일방향으로 형성된 비트 라인 BL과, 비트 라인 BL과 직각으로 교차하는 방향으로 형성된 워드라인 WL과, 워드라인 WL과 일정한 간격을 두고 워드라인 WL과 동일한 방향으로 형성된 플레이트 라인 PL과, 게이트가 워드라인 WL에 연결되고, 드레인은 비트 라인 BL에 연결되는 트랜지스터 T1과, 두 단자 중 하나의 단자가 상기 트랜지스터 T1의 소스에 연결되고, 다른 단자가 플레이트 라인 PL에 연결되는 강유전체 커패시터 FC1를 포함하여 구성된다.

<37> 이와 같이 구성된 종래 기술에 따른 불휘발성 강유전체 메모리 장치의 데이터 입출력 동작을 첨부된 도면을 참조하여 설명하면 다음과 같다.

<38> 도 3a는 종래 기술에 따른 불휘발성 강유전체 메모리 장치의 쓰기 모드(write mode)의 동작을 나타낸 타이밍도이다.

<39> 먼저, 쓰기 모드인 경우, 외부에서 인가되는 칩 인에이블 신호 CEB가 하이 레벨에서 로우 레벨로 활성화되고, 이어서, 입력된 어드레스가 디코딩되어, 해당 워드라인 WL이 인에이블되어, 즉, 워드라인 WL의 전위가 로우 레벨에서 하이 레벨로 천이되어 셀이 선택된다.

<40> 이와 같이 워드라인 WL이 하이 레벨 상태를 유지하고 있는 동안 해당 플레이트 라인 PL에는 차례로 일정 구간의 하이 레벨 신호와 일정 구간의 로우 레벨 신호가 인가된다.

<41> 그리고 선택된 셀에 논리 1 또는 0 값을 쓰기 위해 해당 비트 라인 BL에 하이 레벨 또는 로우 레벨의 입력된 데이터 신호 DIN를 인가한다.

<42> 즉, 비트 라인 BL에 하이 레벨 신호를 인가하고, 워드라인 WL에 인가되는 신호가 하이 레벨 상태인 구간에서 플레이트 라인 PL에 인가되는 신호가 로우 레벨이면 강유전체 커패시터 FC1에는 논리 1 값이 기록된다.

<43> 그리고 비트 라인 BL에 로우 레벨 신호를 인가하고, 플레이트 라인 PL에 인가되는 신호가 하이 레벨 신호이면, 강유전체 커패시터 FC1에는 논리 0 값이 기록된다.

<44> 도 3b는 종래 기술에 따른 불휘발성 강유전체 메모리 장치의 읽기 모드(read mode)의 동작을 나타낸 타이밍도이다.

<45> 외부에서 칩 인에이블 신호 CEB를 하이 레벨에서 로우 레벨로 활성화시키면, 모든 비트 라인 BL은 로우 레벨 전압으로 등전위된다.

<46> 그리고 각 비트 라인 BL을 활성화시킨 다음, 어드레스를 디코딩하고, 디코딩된 어드레스에 의해 해당 워드라인 WL이 인에이블되어, 즉, 워드라인 WL의 전위가 로우 레벨에서 하이 레벨로 천이되어 셀이 선택된다.

<47> 선택된 셀의 플레이트 라인 PL에 하이 레벨 신호를 인가하여 강유전체 메모리에 저장된 논리 1 값에 대응하는 데이터를 파괴(destructive) 시킨다.

<48> 만약, 강유전체 메모리에 논리 0 값이 저장되어 있다면, 그에 대응하는 데이터는 파괴되지 않는다.

<49> 이와 같이 파괴된 데이터와, 파괴되지 않은 데이터는 전술한 히스테리시스 곡선의 원리에 의해 서로 다른 값을 출력하게 되어 센스앰프는 논리 1 값 또는 논리 0 값을 센싱하게 된다.

<50> 즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 곡선에서처럼 d에서 f로 변경되는 경우이고, 데이터가 파괴되지 않은 경우는 a에서 f로 변경되는 경우이다.

<51> 따라서 일정시간이 경과한 후에 센스앰프 인에이블 신호 SEN가 활성화되어 센스앰프가 인에이블되면, 데이터가 파괴된 경우는 증폭되어 논리 0 값을 출력한다.

<52> 이와 같이, 센스앰프에서 데이터를 출력한 후에는 원래의 데이터로 복원해야 하기 때문에, 해당 워드라인 WL에 하이 레벨 신호를 인가한 상태에서 플레이트 라인 PL을 하이 레벨에서 로우 레벨로 비활성화 시킨다.

<53> 이와 같은 종래 기술의 불휘발성 강유전체 메모리 장치의 저장 용량이 증가하여 고집적도의 강유전체 메모리 장치를 구현하기 위해 많은 주변 회로들이 필요하게 되어 면적이 증가하는 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

<54> 상기 문제점을 해결하기 위한 본 발명의 목적은, 워드라인/플레이트 라인 디코더가 분리되어 셀 어레이 블록의 외곽에 배치되어 신호 디코더 영역을 두개로 나누어 제어함에 따라 면적을 줄이고 구동 신호 속도를 향상시킬 수 있는 것이다.

<55> 상기 문제점을 해결하기 위한 본 발명의 다른 목적은, 워드라인/플레이트 라인 구동부의 수를 줄일 수 있기 때문에 다른 층을 이용하여 각각의 신호를 배치함으로써 워드라인/플레이트 라인 구동부의 면적을 줄일 수 있는 것이다.

<56> 상기 문제점을 해결하기 위한 본 발명의 또 다른 목적은, 워드라인을 플레이트 라인보다 일정시간 먼저 활성화 시킨 후 그 기간동안 서브 비트 라인 풀다운 신호를 계속 활성화하여 셀 저장 노드가 접지 레벨로 초기화 되고, 초기화가 끝난 다음 서브 비트 라인 풀다운 신호를 비활성화하고 플레이트 라인을 활성화시키고, 워드라인을 플레이트 라인보다 일정시간 먼저 비활성화 시킨 후에 플레이트 라인을 비활성화시키기 때문에, 멀티 비트 셀을 구현함에 있어서 초기 셀 저장 노드의 상태를 안정시키고, 센싱 마진을 향상시킬 수 있는 것이다.

#### 【발명의 구성 및 작용】

<57> 상기 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리 장치는,

<58> 복수의 강유전체 메모리 셀을 포함하여 구성된 복수의 셀 어레이 블록;

<59> 상기 강유전체 메모리 셀에 데이터를 저장하고 저장된 데이터를 읽기 위한 제어 회로들이 형성된 제어 회로 블록;

<60> 상기 제어 회로 블록과 각각 방향으로 상기 복수개의 상기 셀 어레이 블록들 사이에 형성되어 상기 강유전체 메모리 셀과 상기 제어 회로 블록 사이에서 데이터를 전송하는 데이터 버스;

<61> 상기 셀 어레이 블록의 강유전체 메모리 셀에 연결된 워드라인을 선택하는 워드라인 디코더; 및

<62> 상기 셀 어레이 블록의 강유전체 메모리 셀에 연결된 플레이트 라인을 선택하는 플레이트 라인 디코더를 포함하되,

<63> 상기 워드라인 디코더는, 상기 각 셀 어레이 블록의 외곽에 배치되는 복수의 제1 서브 워드라인 디코더 및 복수의 제2 서브 워드라인 디코더를 포함하고,

<64> 상기 플레이트 라인 디코더는, 상기 각 셀 어레이 블록의 외곽에 배치되는 복수의 제1 서브 플레이트 라인 디코더 및 복수의 제2 서브 플레이트 라인 디코더를 포함하는 것을 특징으로 한다.

<65> 또한, 상기 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리 장치는,

<66> 복수의 강유전체 메모리 셀을 포함하여 구성된 복수의 셀 어레이 블록;

<67> 상기 강유전체 메모리 셀에 데이터를 저장하고 저장된 데이터를 읽기 위한 제어 회로들이 형성된 제어 회로 블록;

<68> 상기 제어 회로 블록과 각각 방향으로 상기 복수개의 상기 셀 어레이 블록들 사이에 형성되어 상기 강유전체 메모리 셀과 상기 제어 회로 블록 사이에서 데이터를 전송하는 데이터 버스;

<69> 상기 셀 어레이 블록의 강유전체 메모리 셀에 연결된 워드라인을 선택하는 워드라인 디코더; 및

<70> 상기 셀 어레이 블록의 강유전체 메모리 셀에 연결된 플레이트 라인을 선택하는 플레이트 라인 디코더를 포함하되,

<71> 상기 워드라인 디코더는, 상기 각 셀 어레이 블록의 상기 데이터 버스에 대응하는 방향에 배치되는 복수의 제1 서브 워드라인 디코더; 및 상기 복수의 셀 어레이 블록들이 공유하고, 상기 데이터 버스에 수직하는 방향에 배치되는 제2 서브 워드라인 디코더를 포함하고,

<72> 상기 플레이트 라인 디코더는, 상기 각 셀 어레이 블록의 상기 데이터 버스에 대응하는 방향에 배치되는 제1 서브 플레이트 라인 디코더; 및 상기 복수의 셀 어레이 블록들이 공유하고, 상기 데이터 버스에 수직하는 방향으로 배치되는 제2 서브 플레이트 라인 디코더를 포함하는 것을 특징으로 한다.

<73> 또한, 상기 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리 장치는,

<74> 복수의 강유전체 메모리 셀을 포함하여 구성된 복수의 셀 어레이 블록; 및

<75> 상기 강유전체 메모리 셀에 데이터를 저장하고 저장된 데이터를 읽기 위한 어드레스 제어회로를 포함하는 제어 회로 블록을 포함하되,

<76> 상기 어드레스 제어 회로는,

<77> 클럭 인에이블 신호에 따라 어드레스 패드를 통해 입력된 어드레스 패드 신호를 버퍼링하는 어드레스 버퍼;

<78> 동작 제어 신호에 따라 상기 어드레스 버퍼의 출력신호를 래치하는 어드레스 래치;  
및

<79> 클럭 인에이블 신호에 따라 상기 어드레스 래치의 출력신호를 천이 시점을 검출하는 어드레스 천이 검출 수단을 포함하는 것을 특징으로 한다.

<80> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

<81> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

<82> 도 4는 본 발명에 따른 불휘발성 강유전체 메모리 장치를 나타낸 블록도이다.

<83> 불휘발성 강유전체 메모리 장치는, 복수의 메모리 셀을 포함하는 셀 어레이 블록(10)과, 셀 동작을 제어하는 신호들을 디코딩하는 제1 신호 디코더 블록 및 제2 신호 디코더 블록(20, 30)과, 칼럼 어드레스에 따라 해당 메인 비트 라인을 선택하는 칼럼 선택 제어 블록(40)과, 제어신호 발생회로, 버퍼, 디코더 및 센스앰프 어레이 등 제어회로들이 형성되는 제어회로 블록(50)과, 칼럼 선택 제어 블록(40)에 의해 선택된 메인 비트 라인에 실린 데이터를 제어회로 블록(50)에 전달하거나 제어회로 블록(50)에 입력된 데이터를 셀 어레이 블록(10)으로 전달하는 데이터 버스 DB를 포함하여 구성된다.

<84> 여기서, 칼럼 선택 제어 블록(40)은 셀 어레이 블록(10)과 데이터 버스 DB 사이에 형성되고, 제1 신호 디코더 블록(20)은 칼럼 선택 제어 블록(40)이 형성된 셀 어레이 블록(10)의 반대 측에 형성되며, 제2 신호 디코더 블록(30)은 셀 어레이 블록(10)과 제어

회로 블록(50) 사이에 형성된다. 또한, 제1 신호 디코더 블록(20) 및 제2 신호 디코더 블록(30)은 워드라인 WL/플레이트 라인 PL 구동에 관련된 회로들이다.

<85>      도 5는 도 4에 도시된 블록도에서 셀 어레이 블록의 상세 블록을 나타낸 도면이다.

<86>      셀 어레이 블록(10)은 복수 개의 서브 셀 어레이 블록(11), 메인 비트 라인에 부하 역할을 하는 메인 비트 라인 부하 제어부(12) 및 메인 비트 라인을 풀업시키는 메인 비트 라인 풀업 제어부(13)를 포함한다.

<87>      도 6은 도 5에 도시된 블록도에서 서브 셀 어레이 블록(11)의 상세 회로를 나타낸 도면이다. 여기서는 오픈 비트 라인(open bit line) 구조를 갖는 경우를 예를 들어 설명 한다.

<88>      서브 셀 어레이 블록(11)은, 복수의 단위 서브 셀 어레이 블록 SCAU0을 포함하여 구성된다.

<89>      단위 서브 셀 어레이 블록 SCAU0은, 워드라인 WL0??WL<sub>n</sub>과 플레이트 라인 PL0??PL<sub>n</sub>에 연결되고, 동일한 서브 비트 라인 SBL0에 연결된 복수의 단위 셀들 MC0??MC<sub>n</sub>과, 메인 비트 라인 MBL0과 접지전압 VSS 사이에 직렬 연결되어 서브 비트 라인 SBL0의 전압에 따라 메인 비트 라인 MBL0의 전류를 조절하는 전류 조절 엔모스 트랜지스터 NM1 및 메인 비트 라인 풀다운 신호 MBPD에 따라 엔모스 트랜지스터 NM1에 의해 전송된 전류를 접지 전압 VSS으로 전달하는 메인 비트 라인 풀다운 엔모스 트랜지스터 NM2와, 서브 비트 라인 풀다운 신호 SBPD에 따라 서브 비트 라인 SBL0을 접지전압 VSS으로 설정하는 풀다운 엔모스 트랜지스터 NM3와, 스위치 제어신호 SBSW1에 따라 메인 비트 라인 MBL0에 실린 데이터를 서브 비트 라인 SBL0에 선택적으로 전송하는 스위치 엔모스 트랜지스터 NM4와,

스위치 제어신호 SBSW2에 따라 서브 비트 라인 풀업 신호 SBPU의 전위로 각각 풀업시키는 서브 비트 라인 풀업 엔모스 트랜지스터 NM5를 포함하여 구성된다.

<90> 여기서, 다른 단위 서브 셀 어레이 블록은 상기한 단위 서브 셀 어레이 블록 SCAU0과 동일한 소자로 동일하게 구성된다.

<91> 메인 비트 라인 MBL0은 한번의 셀 동작에 대해 복수개의 서브 비트 라인 SBL0??SBLn를 중에서 하나의 서브 비트 라인 SBL0이 연결된다.

<92> 즉, 복수개의 서브 비트 라인 선택 신호 SBSW1 중에서 하나의 서브 비트 라인 선택 신호 SBSW1을 활성화 시켜 전체 비트 라인 부하를 하나의 서브 비트 라인 SBL0의 부하 크기로 줄일 수 있다.

<93> 도 7은 도 5에 도시된 블록도에서 메인 비트 라인 풀업 제어부의 상세 회로를 나타낸 도면이다.

<94> 메인 비트 라인 풀업 제어부(13)는, 메인 비트 라인 풀업 제어신호 MBPUC에 따라 메인 비트 라인 MBL에 승압 전압 VPP 또는 전원전압 VCC을 인가하는 풀업 피모스 트랜지스터로 구성된다.

<95> 비트 라인 풀업 제어부(13)를 구성하는 피모스 트랜지스터는 프리차지 시에 메인 비트 라인 MBL을 승압 전압 VPP 또는 전원전압 VCC으로 풀업시키는 역할을 한다.

<96> 도 8은 도 5에 도시된 블록도에서 메인 비트 라인 부하 제어부의 상세 회로를 나타낸 도면이다.

<97> 메인 비트 라인 부하 제어부(12)는 메인 비트 라인 제어 신호 MBLC에 따라 승압 전압 VPP 또는 전원전압 VCC과 메인 비트 라인 MBL 사이에 연결된 저항, 즉 부하 역할을

하는 부하 피모스·트랜지스터로 구성된다. 즉, 메인 비트 라인 부하 제어부(12)를 구성하는 피모스 트랜지스터가 턴 온 되면 부하로써 구동되어 메인 비트 라인 MBL에 전압이 아닌 전류가 흐르도록 설정한다.

<98>        도 9는 도 4에 도시된 블록도에서 칼럼 선택 제어 블록의 상세 회로를 나타낸 도면이다. 여기서는 하나의 메인 비트 라인 MBL0에 대해 제어 회로가 연결된 경우를 예를 들어 도시하였지만 실제로는 복수개의 메인 비트 라인에 대해 각각 제어 회로가 연결된다.

<99>        칼럼 선택 제어 블록(40)은 칼럼 선택 제어 신호 CSN, CSP에 의해 제어되어 메인 비트 라인 MBL에 실린 데이터를 선택적으로 데이터 버스 DB로 전송하는 전송 게이트(transmission gate)로 구성된 복수개의 제어 회로로 구성된다.

<100>        도 10은 도 4에 도시된 본 발명에 따른 불휘발성 강유전체 메모리 장치의 라이트 동작을 나타낸 타이밍도이다.

<101>        먼저, 서브 비트 라인 SBL이 접지전압 VSS으로 프리차지 되고, 메인 비트 라인 MBL은 전원전압 VCC으로 프리차지 된다( $t_0, t_1$ ).

<102>        워드라인 WL에 플레이트 라인 PL보다 먼저 송압 전압 VPP이 인가되고( $t_2$ ), 이어서, 플레이트 라인 PL에 송압전압 VPP이 인가되어 단위 셀 MC에 저장된 데이터가 서브 비트 라인 SBL에 전달된다.

<103>        여기서, 워드라인 WL에 플레이트 라인 PL보다 먼저 송압전압을 인가하는 이유는 초기 셀 저장 노드(cell storage node)의 상태를 안정시켜 센싱 마진을 향상시키기 위해서이다. 또한, 워드라인 WL에 송압 전압 VPP이 인가되고 플레이트 라인 PL에 송압전압 VPP

이 인가되기까지의 구간(t2) 동안 서브 비트 라인 풀다운 신호 SBPD가 하이 레벨을 유지하고 있기 때문에, 셀 저장 노드가 접지 레벨(ground level)로 초기화 된다.

<104> 이때, 메인 비트 라인 MBL의 레벨은 메인 비트 라인 풀다운 신호 MBPD가 하이 레벨이기 때문에 서브 비트 라인 SBL의 전압 레벨만큼 낮아지게 된다(t3).

<105> 메인 비트 라인 MBL의 레벨이 충분히 낮아지면, 센스앰프 인에이블 신호 SEN가 하이 레벨이 되어 메인 비트 라인 MBL의 레벨은 센스앰프에 의해 증폭된다(t4).

<106> 센스앰프에 의해 메인 비트 라인 MBL에 실린 데이터가 충분히 증폭되면, 서브 비트 라인 풀다운 신호 SBPD가 하이 레벨이 되어 서브 비트 라인 SBL은 접지전압 VSS으로 풀다운 되고, 메인 비트 라인 MBL은 메인 비트 라인 풀업 신호 MBPUC가 승압전압 VPP 레벨을 유지하고 있기 때문에 전원전압 VCC으로 풀업 된다(t5). 이때 플레이트 라인 PL의 레벨은 접지전압 VSS으로 천이 된다.

<107> 서브 비트 라인 스위치 신호 SBSW2가 승압 전압 VPP을 유지하고 있는 상태에서, 서브 비트 라인 풀업 신호 SBPU의 레벨이 승압전압 VPP 레벨로 천이하면, 셀프 부스팅 효과(self boosting effect)에 의해 서브 스위치 신호 SBSW2의 레벨이 승압전압 VPP보다 높은 전압으로 승압(boosting)된다. 따라서 서브 비트 라인 SBL의 레벨은 승압 전압 VPP 레벨까지 상승한다.

<108> 또한, 워드라인 WL이 승압전압 VPP 레벨을 유지한 상태에서 서브 비트 라인 SBL의 레벨이 승압전압 VPP 레벨이 되어 셀프 부스팅 효과에 의해 워드라인 WL의 전압 레벨이 승압전압 VPP보다 높은 전압으로 승압(boosting)된다. 따라서 플레이트 라인 PL이 접지전압 VSS 레벨을 유지한 상태에서 워드라인 WL이 승압전압 VPP보다 높은 전압으로 승압

되어 있기 때문에 모든 단위 셀 MC의 커패시터 FC에 승압전압 VPP이 저장된다(hidden "1(VPP)" write)(t6).

<109> 이어서, 데이터 DIN가 입력되면, 메인 비트 라인 MBL이 입력된 데이터 DIN에 해당하는 전압 레벨이 되고, 서브 비트 라인 스위치 신호 SBSW1가 승압전압 VPP으로 천이하여, 메인 비트 라인 MBL에 실린 해당하는 전압 레벨에 의해 서브 비트 라인 SBL이 동일한 전압 레벨이 된다. 따라서 단위 셀 MC의 커패시터 FC에는 입력된 데이터에 해당하는 전압 레벨이 저장된다(write operation)(t7). 이때, 선택되지 않는 다른 메모리 셀 MC들은 이전의 데이터를 다시 저장하는 재저장 restore 동작을 수행한다.

<110> 재저장 동작이 완료된 후에는, 워드라인 WL이 플레이트 라인 PL보다 먼저 접지 레벨로 비활성화 시킴으로써(t8), 셀 저장 노드를 안정화시킬 수 있다.

<111> 이어서, 서브 비트 라인 SBL은 접지전압 VSS으로 프리차지 되고, 메인 비트 라인 MBL은 전원전압 VCC으로 프리차지 된다(t9).

<112> 도 11은 도 4에 도시된 본 발명에 따른 불휘발성 강유전체 메모리 장치의 리드 동작을 나타낸 타이밍도이다.

<113> 먼저, 서브 비트 라인 SBL은 접지전압 VSS으로 프리차지 하고, 메인 비트 라인 MBL은 전원전압 VCC으로 프리차지 한다(t0, t1).

<114> 워드라인 WL에 플레이트 라인 PL보다 먼저 승압 전압 VPP이 인가되고(t2), 이어서, 플레이트 라인 PL에 승압전압 VPP이 인가되어 단위 셀 MC에 저장된 데이터가 서브 비트 라인 SBL에 전달된다.

<115> 여기서, 워드라인 WL에 플레이트 라인 PL보다 먼저 승압전압을 인가하는 이유는 초기 셀 저장 노드(cell storage node)의 상태를 안정시켜 센싱 마진을 향상시키기 위해서이다. 또한, 워드라인 WL에 승압 전압 VPP이 인가되고 플레이트 라인 PL에 승압전압 VPP이 인가되기까지의 구간(t2) 동안 서브 비트 라인 풀다운 신호 SBPD가 하이 레벨을 유지하고 있기 때문에, 셀 저장 노드가 접지 레벨(ground level)로 초기화 된다.

<116> 이때, 메인 비트 라인 MBL의 레벨은 메인 비트 라인 풀다운 신호 MBPD가 하이 레벨이기 때문에 서브 비트 라인 SBL의 전압 레벨만큼 낮아지게 된다(t3).

<117> 메인 비트 라인 MBL의 레벨이 충분히 낮아지면, 센스앰프 인에이블 신호 SEN가 하이 레벨이 되어 메인 비트 라인 MBL의 레벨을 센스앰프를 이용하여 증폭한다(t4).

<118> 센스앰프에 의해 메인 비트 라인 MBL에 실린 데이터가 충분히 증폭되면, 입출력 버스 I0를 통해 외부로 출력된다.

<119> 한편, 센스앰프에 의해 메인 비트 라인 MBL에 실린 데이터가 충분히 증폭된 후에는, 서브 비트 라인 풀다운 신호 SBPD가 하이 레벨이 되어 서브 비트 라인 SBL은 접지전압 VSS으로 풀다운 되고, 메인 비트 라인 MBL은 메인 비트 라인 풀업 신호 MBPUC가 승압전압 VPP 레벨을 유지하고 있기 때문에 전원전압 VCC으로 풀업 된다(t5). 이때 플레이트 라인 PL의 레벨은 접지전압 VSS으로 천이 시킨다.

<120> 서브 비트 라인 스위치 신호 SBSW2가 승압 전압 VPP을 유지하고 있는 상태에서, 서브 비트 라인 풀업 신호 SBPU의 레벨을 승압전압 VPP 레벨로 천이하면, 셀프 부스팅 효과(self boosting effect)에 의해 서브 스위치 신호 SBSW2의 레벨이 승압전압 VPP보다

높은 전압으로 승압된다. 따라서 서브 비트 라인 SBL의 레벨은 승압 전압 VPP 레벨까지 상승한다.

<121> 또한, 워드라인 WL이 승압전압 VPP 레벨을 유지한 상태에서 서브 비트 라인 SBL의 레벨이 승압전압 VPP 레벨이 되어 셀프 부스팅 효과에 의해 워드라인 WL의 전압 레벨이 승압전압 VPP보다 높은 전압으로 승압된다. 따라서 플레이트 라인 PL이 접지전압 VSS 레벨을 유지한 상태에서 워드라인 WL이 승압전압 VPP보다 높은 전압으로 승압되어 있기 때문에 모든 메모리 셀 MC의 커패시터 FC에 데이터 레벨에 해당하는 승압전압 VPP이 저장된다(hidden "1(VPP)" write)(t6).

<122> 이어서, 선택되지 않은 메모리 셀 MC에 저장되어 있던 데이터들은 센스앰프에 의해 증폭되어 래치되어 있기 때문에, 메인 비트 라인 MBL이 각 메모리 셀 MC에 저장되었던 데이터에 해당하는 전압 레벨이 되고, 서브 비트 라인 스위치 신호 SBSW1가 승압전압 VPP으로 천이하여, 메인 비트 라인 MBL에 실린 데이터에 해당하는 전압 레벨에 의해 서브 비트 라인 SBL이 동일한 전압 레벨이 된다. 따라서 메모리 셀 MC의 커패시터 FC에는 이전에 저장되었던 데이터에 해당하는 전압 레벨이 다시 저장된다 restore(t7).

<123> 재저장(restore) 동작이 완료된 후에는, 워드라인 WL이 플레이트 라인 PL보다 먼저 접지 레벨로 비활성화 시킴으로써(t8), 셀 저장 노드를 안정화시킬 수 있다.

<124> 이어서, 서브 비트 라인 SBL은 접지전압 VSS으로 프리차지 되고, 메인 비트 라인 MBL은 전원전압 VCC으로 프리차지 된다(t9).

<125> 도 12 및 도 13은 도 4에 도시된 블록도에서 제1 신호 디코더 블록, 제2 신호 디코더 블록 및 워드라인 WL/플레이트 라인 PL 구동부의 동작 관계를 설명하는 도면이다.

<126> 도 12는 제1 신호 디코더 블록(20)의 제1 신호 디코더부(210~21N)에서 게이트 송  
압전압 GVPP이 출력되는 경우를 예를 들어 설명한다.

<127> 제1 신호 디코더 블록(20)은 복수의 제1 신호 디코더부(210~21N)를 포함하여 구성  
되는데, 각 제1 신호 디코더부(210~21N)는 제1 디코더 신호들 DEC10~DEC1N 및 게이트  
송압전압 GVPP을 출력한다.

<128> 제2 신호 디코더 블록(30)은 복수의 제2 신호 디코더부(310~31N)를 포함하여 구성  
되는데, 각 제2 신호 디코더부(310~31N)는 두개의 제2 디코더 신호 DEC20, DEC21를 출력  
한다.

<129> 워드라인 WL/플레이트 라인 PL 구동부(14)는 제1 디코더 신호들 DEC10~DEC1N 및  
게이트 송압전압 GVPP 버스와 제2 디코더 신호 DEC20, DEC21 버스가 교차하는 셀 어레이  
블록(10)의 영역에 배치된다.

<130> 도 13은 제2 신호 디코더 블록(30)의 제2 신호 디코더부(310~31N)에서 게이트 송  
압전압 GVPP이 출력되는 경우를 예를 들어 설명한다.

<131> 제1 신호 디코더 블록(20)은 복수의 제1 신호 디코더부(210~21N)를 포함하여 구성  
되는데, 각 제1 신호 디코더부(210~21N)는 제1 디코더 신호들 DEC10~DEC1N를  
출력한다.

<132> 제2 신호 디코더 블록(30)은 복수의 제2 신호 디코더부(310~31N)를 포함하여 구성  
되는데, 각 제2 신호 디코더부(310~31N)는 두개의 제2 디코더 신호 DEC20, DEC21 및 게  
이트 송압전압 VPP을 출력한다.

<133> 워드라인 WL/플레이트 라인 PL 구동부(14)는 제1 디코더 신호들 DEC10~DEC1N 및 게이트 승압전압 GVPP 버스와 제2 디코더 신호 DEC20, DEC21 버스가 교차하는 셀 어레이 블록(10)의 영역에 배치된다.

<134> 도 14는 도 12 및 도 13에 도시된 워드라인 WL/플레이트 라인 PL 구동부 중 워드라인 구동부(14)의 상세 회로를 나타낸 도면이다.

<135> 워드라인 구동부(14)는 단위 워드라인 구동부들(150~15N)을 포함하는데, 각 단위 워드라인 구동부(150~15N)는 노드 N1의 전위에 따라 해당하는 워드라인 WL0~WLN에 제1 디코더 신호 DEC10~DEC1N를 선택적으로 인가하는 엔모스 트랜지스터 NT1와, 제2 디코더 신호 DEC21에 따라 해당하는 워드라인 WL0~WLN을 풀다운시키는 엔모스 트랜지스터 NT2와, 게이트 승압전압 GVPP에 따라 선택적으로 제2 디코더 신호 DEC20를 전송하는 엔모스 트랜지스터 NT3를 포함하여 구성된다.

<136> 도 15는 도 14에 도시된 워드라인 구동부의 동작을 나타낸 타이밍도이다.

<137> 초기에 게이트 승압전압 GVPP이 전원전압 VCC을 유지하여 엔모스 트랜지스터 NT3는 턴 온 상태를 유지한다.

<138> 따라서 접지전압 VSS을 유지하고 있는 제2 디코더 신호 DEC20에 의해 노드 N1가 접지전압 VSS으로 설정되어 엔모스 트랜지스터 NT1가 턴 오프 된다.

<139> 이때, 제2 디코더 신호 DEC21은 전원전압 VCC을 유지하여 엔모스 트랜지스터 NT2가 턴 온 되어 워드라인 WL이 접지전압 VSS으로 풀다운 된다( $t_0$ ).

<140> 이어서, 하나의 제2 디코더 신호 DEC20는 접지전압 VSS에서 전원전압 VCC으로 천이하여 노드 N1이 전원전압 VCC에서 엔모스 트랜지스터 NT3의 문턱전압  $V_{th}$ 만큼 낮은 전압 레벨 VCC- $V_{th}$ 을 유지한다(t1).

<141> 다른 제2 디코더 신호 DEC21는 전원전압 VCC에서 접지전압 VSS으로 천이하여 엔모스 트랜지스터 NT2가 턴 오프 된다(t2).

<142> 게이트 승압전압 GVPP이 승압전압 레벨 VPP이 되어 노드 N1가 전원전압 레벨 VCC로 승압된다(t3).

<143> 이때, 해당하는 제1 디코더 신호 DEC10가 승압전압 레벨 VPP로 천이하여 전원전압 VCC으로 프리차지되어 있던 노드 N1는 셀프 부스팅 효과(self boosting effect)에 의해 승압전압 VPP만큼 상승한다.

<144> 따라서 워드라인 WL의 전압레벨은 승압전압 레벨 VPP로 승압된다(t4).

<145> 이어서, 제2 디코더 신호 DEC20가 접지전압 레벨 VSS로 천이하여 노드 N1는 접지전압 레벨 VSS로 천이되어, 워드라인 WL은 승압전압 레벨 VPP로 플로우팅(floating) 상태가 된다(t5).

<146> 이때, 서브 비트 라인 풀업 신호 SBPU가 승압전압 레벨 VPP이 되어 워드라인 WL이 셀프 부스팅에 의해 전압 레벨이 상승된다(t6, t7).

<147> 이어서, 제2 디코더 신호 DEC21가 전원전압 레벨 VCC로 천이하여 엔모스 트랜지스터 NT2가 턴 온 된다. 따라서 워드라인 WL은 접지전압 레벨 VSS로 풀다운 된다(t8).

<148> 이 후에 제2 디코더 신호 DEC20 및 해당하는 제1 디코더 신호 DEC10가 접지전압 VSS으로 천이하여 초기상태로 리셋된다(t9).

<149> 도 16은 도 12 및 도 13에 도시된 워드라인 WL/플레이트 라인 PL 구동부 중 플레이트 라인 구동부(14)의 상세 회로를 나타낸 도면이다.

<150> 플레이트 라인 구동부(14)는 단위 플레이트 라인 구동부들(160~16N)을 포함하는데, 각 단위 워드라인 구동부(160~16N)는 노드 N1의 전위에 따라 해당하는 플레이트 라인 PL0~PLN에 제1 디코더 신호 DEC10~DEC1N를 선택적으로 인가하는 엔모스 트랜지스터 NT1와, 제2 디코더 신호 DEC21에 따라 해당하는 플레이트 라인 PL0~PLN을 풀다운시키는 엔모스 트랜지스터 NT2와, 게이트 승압전압 GVPP에 따라 선택적으로 제2 디코더 신호 DEC20를 전송하는 엔모스 트랜지스터 NT3를 포함하여 구성된다.

<151> 도 17은 도 16에 도시된 플레이트 라인 구동부의 동작을 나타낸 타이밍도이다.

<152> 초기에 게이트 승압전압 GVPP이 전원전압 VCC을 유지하여 엔모스 트랜지스터 NT3는 턴 온 상태를 유지한다.

<153> 따라서 접지전압 VSS을 유지하고 있는 제2 디코더 신호 DEC20에 의해 노드 N1가 접지전압 VSS으로 설정되어 엔모스 트랜지스터 NT1가 턴 오프 된다.

<154> 이때, 제2 디코더 신호 DEC21은 전원전압 VCC을 유지하여 엔모스 트랜지스터 NT2가 턴 온 되어 플레이트 라인 PL이 접지전압 VSS으로 풀다운 된다( $t_0$ ).

<155> 이어서, 하나의 제2 디코더 신호 DEC20는 접지전압 VSS에서 전원전압 VCC으로 천이하여 노드 N1이 전원전압 VCC에서 엔모스 트랜지스터 NT3의 문턱전압  $V_{tn}$ 만큼 낮은 전압 레벨 VCC- $V_{tn}$ 을 유지하고, 다른 제2 디코더 신호 DEC21는 전원전압 VCC에서 접지전압 VSS으로 천이하여 엔모스 트랜지스터 NT2가 턴 오프 된다( $t_1$ ).

<156> 게이트 승압전압 GVPP이 승압전압 레벨 VPP이 되어 노드 N1가 전원전압 레벨 VCC로 승압된다(t2).

<157> 이때, 해당하는 제1 디코더 신호 DEC10가 승압전압 레벨 VPP로 천이하여 전원전압 VCC으로 프리차지되어 있던 노드 N1는 셀프 부스팅 효과(self boosting effect)에 의해 승압전압 VPP만큼 상승한다.

<158> 따라서 플레이트 라인 PL의 전압레벨은 승압전압 레벨 VPP로 승압된다(t3).

<159> 하나의 제2 디코더 신호 DEC20가 접지전압 레벨 VSS로 천이하여 노드 N1는 접지전압 레벨 VSS로 천이되어 엔모스 트랜지스터 NT1가 턴 오프 된다. 또한, 다른 제2 디코더 신호 DEC21가 전원전압 레벨 VCC로 천이하여 엔모스 트랜지스터 NT2가 턴 온 되어 플레이트 라인 PL이 접지전압 레벨 VSS로 풀 다운된다(t4).

<160> 이때, 하나의 제2 디코더 신호 DEC21는 전원전압 레벨 VCC을 유지하여 엔모스 트랜지스터 NT2가 턴 온 상태를 유지하여 플레이트 라인 PL이 풀 다운 상태를 유지하는 동안, 다른 제2 디코더 신호 DEC20가 전원전압 레벨 VCC로 천이하여 엔모스 트랜지스터 NT1가 턴 온 되면, 접지전압 레벨 VSS을 유지하고 있는 해당하는 제1 디코더 신호 DEC10에 의해 플레이트 라인 PL이 접지전압 레벨 VSS을 유지된다(t5).

<161> 하나의 제2 디코더 신호 DEC21가 접지전압 레벨 VSS로 천이하여 엔모스 트랜지스터 NT2가 턴 오프 되고, 다른 제2 디코더 신호 DEC20가 전원전압 레벨 VCC을 유지하여 엔모스 트랜지스터 NT1가 턴 온 상태를 유지하는 동안, 해당하는 제1 디코더 신호 DEC10가 승압전압 레벨 VPP로 천이하여 플레이트 라인 PL이 승압전압 레벨 VPP로 승압된다(t6).

<162> 이어서, 하나의 제2 디코더 신호 DEC20 및 해당하는 제1 디코더 신호 DEC10가 접지 전압 VSS으로 천이하여 노드 N1가 접지전압 레벨 VSS이 되고, 다른 제2 디코더 신호 DEC21가 전원전압 레벨 VCC로 천이하여 엔모스 트랜지스터 NT2가 턴 온 되어 플레이트 라인 PL이 접지전압 레벨 VSS로 풀다운 된다(t7).

<163> 도 18은 도 12 및 도 13에 도시된 블록도에서 제1 신호 디코더 블록을 구성하는 복수의 제1 신호 디코더부 중의 하나의 상세 회로를 나타낸 도면이다. 여기서, 다른 복수의 제1 신호 디코더부들도 도 18에 도시된 제1 신호 디코더부와 동일한 소자로 동일하게 구성된다.

<164> 제1 신호 디코더부(210)는, 디코딩 제어부(22) 및 레벨 시프터(23)를 포함하여 구성되는데, 레벨 시프터(23)의 출력이 제1 디코더 신호 DEC10가 된다.

<165> 디코딩 제어부(22)는 해당하는 제1 신호 디코더부(210)를 선택하는 인에이블 신호 EN0, 제1 디코더 신호 DEC10의 타이밍을 결정하는 타이밍 제어신호 DEC1CON 및 칼럼 선택 신호 CSEL를 디코딩 하는 낸드게이트 ND1와, 그 낸드게이트 ND1의 출력신호를 반전시키는 인버터 INV1를 포함하여 구성된다.

<166> 레벨 시프터(23)는 크로스 커플드 연결된 피모스 트랜지스터들 PM11, PM12와, 게이트에 디코딩 제어부(22)의 낸드게이트 ND1 및 인버터 INV1의 출력신호가 각각 인가되는 엔모스 트랜지스터들 NM11, NM12와, 피모스 트랜지스터 PM12 및 엔모스 트랜지스터 NM12의 공통 드레인에서의 전위를 반전시켜 제1 디코더 신호 DEC10를 출력하는 피모스 트랜지스터 PM13 및 엔모스 트랜지스터 NM13로 구성된 인버터 INV2를 포함하여 구성된다.

<167> 도 19는 도 12 및 도 13에 도시된 블록도에서 제2 신호 디코더 블록을 구성하는 복수의 제2 신호 디코더부 중의 하나의 상세 회로를 나타낸 도면이다. 여기서, 다른 복수의 제2 신호 디코더부들도 도 19에 도시된 제2 신호 디코더부와 동일한 소자로 동일하게 구성된다.

<168> 제2 신호 디코더부(310)는 해당하는 제2 신호 디코더부(310)를 선택하는 인에이블 신호들 EN20, EN21 및 제2 디코더 신호 DEC20의 타이밍을 결정하는 타이밍 제어신호 DEC2CON를 디코딩 하는 낸드게이트 ND1와, 그 낸드게이트 ND1의 출력신호를 반전시키는 인버터 INV11와, 인버터 INV11의 출력신호를 순차 반전하여 제2 디코더 신호 DEC20를 출력하는 인버터들 INV12, INV13와, 인버터 INV11의 출력신호 및 워드라인 WL 및 플레이트 라인 PL의 풀다운 타이밍으로 결정하는 풀다운 제어신호 PDC를 부정논리 곱하는 낸드게이트 ND12와, 낸드게이트 ND12의 출력신호를 순차 반전하여 제2 디코더 신호 DEC21를 출력하는 인버터들 INV14, INV15를 포함하여 구성된다.

<169> 도 20은 도 12 및 도 13에 도시된 블록도에서 게이트 승압전압을 발생하는 게이트 승압전압 발생부의 상세 회로를 나타낸 도면이다. 여기서, 도 12에 도시된 블록도는 게이트 승압전압 발생부가 각 제1 신호 디코더부에 포함된 실시 예이고, 도 13에 도시된 블록도는 게이트 승압전압 발생부가 각 제2 신호 디코더부에 포함된 실시 예를 나타내고 있는데, 두 실시 예에 동일한 게이트 승압전압 발생부가 사용된다. 또한, 다른 복수의 게이트 승압전압 발생부들도 도 20에 도시된 게이트 승압전압 발생부와 동일한 소자로 동일하게 구성된다.

<170> 게이트 승압전압 발생부(60)는 펌프 제어부(61) 및 펌프부(62)를 포함하여 구성된다.

<171> 펌프 제어부(61)는 해당하는 게이트 승압전압 발생부(60)를 선택하는 인에이블 신호 EN0 및 게이트 승압전압 GVPP의 타이밍을 결정하는 타이밍 제어신호 GCON를 부정 논리 곱하는 낸드게이트 ND21와, 낸드게이트 ND21의 출력신호 PRE를 순차 반전하여 펌프 제어신호 PCON를 출력하는 인버터들 INV21, INV22, INV23을 포함하여 구성된다.

<172> 펌프부(62)는 출력단자와 접지전압 사이에 직렬 연결되고 공통 게이트에 펌프 제어부(61)의 낸드게이트 ND21의 출력신호 PRE가 인가되는 피모스 트랜지스터 PM21 및 엔모스 트랜지스터 NM21와, 피모스 트랜지스터 PM21 및 엔모스 트랜지스터 NM21의 공통 드레인의 전위에 따라 출력단자를 전원전압 VCC으로 프리차지 하는 피모스 트랜지스터 PM22와, 펌프 제어신호 PCON에 따라 출력단자를 펌핑하는 펌프 캐패시터 CT를 포함하여 구성된다.

<173> 도 21은 도 14에 도시된 워드라인 구동부의 레이아웃 단면을 나타낸 도면이다.

<174> 도시된 바와 같이 신호 라인이 3개 층(layer)으로 계층적으로 형성된다.

<175> 즉, 첫 번째 층 L1에는 엔모스 트랜지스터 NT3의 드레인 단자에 제2 디코더 신호 DEC20를 인가하기 위한 신호 라인(71), 엔모스 트랜지스터 NT3의 소스 단자에 엔모스 트랜지스터 NT1의 게이트 단자를 연결하기 위한 신호 라인(72), 엔모스 트랜지스터 NT1의 드레인 단자에 제1 디코더 신호 DEC10를 인가하기 위한 신호 라인(73), 엔모스 트랜지스터들 NT1, NT2의 공통 연결 단자에 워드라인 WL을 연결하기 위한 신호 라인(74) 및 엔모스 트랜지스터 NT2의 소스 단자에 접지전압 라인 VSS을 연결하기 위한 신호 라인(75)이 형성된다. 여기서, 노드 N1을 형성하기 위해 엔모스 트랜지스터 NT3의 소스 단자에 콘택으로 연결된 신호 라인(72)에 엔모스 트랜지스터 NT1의 게이트 단자를 연결하기 위한 중간 신호 라인(77)을 필드 산화막(76) 위에 형성한다.

<176> 두 번째 층 L2에는 제1 디코더 신호 DEC10가 인가되는 신호 라인(83)이 형성되고, 엔모스 트랜지스터 NT3의 소스 단자를 연결하기 위한 첫 번째 층 L1에 형성된 신호 라인(71)에 제2 디코더 신호 DEC20의 전송 라인(91)을 연결하기 위한 중간 연결(interconnection) 신호 라인(81), 엔모스 트랜지스터 NT3의 게이트 단자에 게이트 승압 전압 GVPP의 전송 라인(92)을 연결하기 위한 중간 연결 신호 라인(82) 및 엔모스 트랜지스터 NT2의 게이트 단자에 제2 디코더 신호 DEC21의 전송 라인(93)을 연결하기 위한 중간 연결 신호 라인(84)이 형성된다.

<177> 세 번째 층 L3에는 게이트 승압전압 GVPP의 전송 라인(92) 및 제2 디코더 신호들 DEC20, DEC21의 전송 라인들(91, 92)이 형성된다.

<178> 도 22는 본 발명에 따른 불휘발성 강유전체 메모리 장치의 다른 실시 예를 나타낸 블록도이다.

<179> 강유전체 메모리 장치는, 메모리 영역(100), 제어회로 블록(52, 53) 및 제2 신호 디코더 블록(30)을 포함한다.

<180> 메모리 영역(100)은 복수개의 메모리 블록(110)을 포함한다. 하나의 메모리 블록(110)은 두개의 셀 어레이 블록(10)이 하나의 데이터 버스 DB를 공유하여 하나의 센스앰프 어레이(51)를 공유한다.

<181> 각 셀 어레이 블록(10)은 제1 신호 디코더 블록(20)이 데이터 버스 DB의 반대쪽에 연결된다.

<182> 여기서, 데이터 버스 DB를 기준으로 상부에 위치한 셀 어레이 블록들(10)은 하나의 제2 신호 디코더 블록(30)을 공유하고, 하부에 위치한 셀 어레이 블록들(10)은 다른 제2

신호 디코더 블록(30)을 공유한다. 제2 신호 디코더 블록(30)은 메모리 블록(11)의 센스 앰프 어레이(51)가 위치한 쪽의 외곽에 배치된다.

<183> 또한, 제2 신호 디코더 블록(30)이 형성된 영역 외곽에 제어회로, 버퍼, 디코더 등이 형성되는 제어 회로 블록(52)이 배치되며, 반대쪽에는 제어회로, 버퍼, 디코더, 입출력 제어 회로 등이 형성되는 제어 회로 블록(53)이 배치된다.

<184> 도 23은 본 발명에 따른 불휘발성 강유전체 메모리 장치의 또 다른 실시 예를 나타낸 블록도이다.

<185> 강유전체 메모리 장치는, 메모리 영역(100), 제어회로 블록(52, 53) 및 제2 신호 디코더 블록(30)을 포함한다.

<186> 메모리 영역(100)은 복수개의 메모리 블록(110)을 포함한다. 하나의 메모리 블록(110)은 두개의 셀 어레이 블록(10)이 하나의 데이터 버스 DB를 공유하여 하나의 센스 앰프 어레이(51)를 공유한다.

<187> 각 셀 어레이 블록(10)은 제1 신호 디코더 블록(20)이 데이터 버스 DB의 반대쪽에 연결된다.

<188> 여기서, 데이터 버스 DB를 기준으로 상부에 위치한 셀 어레이 블록들(10)은 하나의 제2 신호 디코더 블록(30)을 공유하고, 하부에 위치한 셀 어레이 블록들(10)은 다른 제2 신호 디코더 블록(30)을 공유한다. 제2 신호 디코더 블록(30)은 메모리 블록(11)의 센스 앰프 어레이(51)가 위치한 반대쪽의 외곽에 배치된다.

<189> 또한, 제2 신호 디코더 블록(30)이 형성된 영역 외곽에 제어회로, 버퍼, 디코더 등이 형성되는 제어 회로 블록(52)이 배치되며, 반대쪽에는 제어회로, 버퍼, 디코더, 입출력 제어 회로 등이 형성되는 제어 회로 블록(53)이 배치된다.

<190> 도 24는 강유전체 메모리 장치의 제어 회로 블록에서 어드레스 천이 검출 회로의 상세 블록을 나타낸 도면이다.

<191> 어드레스 천이 검출 회로(54)는 어드레스 버퍼(55), 어드레스 래치(56), 어드레스 천이 검출부(57) 및 어드레스 디코더(58)를 포함하여 구성된다.

<192> 어드레스 버퍼(55)는 어드레스 패드를 통해 입력된 어드레스 패드 신호 ANPAD를 임시 저장하여 어드레스 래치 신호 ANLAT를 출력한다.

<193> 어드레스 래치(56)는 동작 제어 신호 OP, OPB에 따라 어드레스 래치 신호 ANLAT를 래치하여 어드레스 신호 AAN, AANB를 출력한다.

<194> 어드레스 천이 검출부(57)는 어드레스 신호 AAN, AANB를 이용하여 어드레스 천이 검출 신호 ATDSUM를 출력한다.

<195> 어드레스 디코더(58)는 어드레스 신호 AAN, AANB를 디코딩하여 워드라인 및 칼럼을 선택한다.

<196> 도 25는 도 24에 도시된 블록도에서 어드레스 버퍼의 상세 회로를 나타낸 도면이다

<197> 어드레스 버퍼(55)는 어드레스 패드를 통해 입력된 어드레스 패드 신호 ANPAD 및 클럭 인에이블 신호 CEBEN를 부정 논리 합하는 노아 게이트 NR1와, 노아 게이트 NT1의

출력신호를 순차 반전하여 버피링하는 인버터들 INV31, INV32, INV33을 포함하여 구성된다.

<198> 또한, 어드레스 패드에는 다이오드 연결된 엔모스 트랜지스터로 구성된 ESD 소자 ESD가 연결된다.

<199> 도 26은 도 24에 도시된 블록도에서 어드레스 래치의 상세 회로를 나타낸 도면이다.

<200> 어드레스 래치(56)는 동작 제어 신호 OP, OPB에 의해 제어되어 어드레스 래치 신호 ANLAT를 선택적으로 전송하는 전송게이트 TG1와, 래치 연결된 인버터들 INV41, INV42와, 동작 제어 신호 OP, OPB에 의해 제어되어 인버터 INV42의 출력신호를 선택적으로 인버터 INV41의 입력단자로 출력하는 전송게이트 TG2와, 인버터 INV41의 출력신호를 반전하여 어드레스 신호 AAN를 출력하는 인버터 INV43와, 인버터 INV41의 출력신호를 순차 반전하여 반전 어드레스 신호 AANB를 출력하는 인버터 INV44를 포함하여 구성된다.

<201> 도 27은 도 24에 도시된 블록도에서 어드레스 천이 검출부의 상세 회로를 나타낸 도면이다.

<202> 어드레스 천이 검출부(57)는 홀수개의 인버터들 INV51, INV52, INV53로 구성되어 반전 어드레스 신호 AANB를 반전 지연하는 지연부(59)와, 지연부(59)의 출력신호를 반전하는 인버터 INV54와, 지연부(59)의 출력신호를 순차 반전하는 인버터들 INV55, INV56과, 어드레스 신호 AAN, 클럭 인에이블 신호 CEBEN 및 인버터 INV54의 출력신호를 부정 논리 합하는 노아 게이트 NR11와, 반전 어드레스 신호 AANB, 클럭 인에이블 신호 CEBEN 및 인버터 INV56의 출력신호를 부정 논리 합하는 노아 게이트 NR12와, 노아 게이

트들 NR11, NR12의 출력신호에 따라 어드레스 천이 검출 신호 라인 ATD을 풀다운 하는 엔모스 트랜지스터들 NM31, NM32을 포함하여 구성된다.

<203>      도 28은 도 24에 도시된 어드레스 천이 검출 회로의 동작을 나타낸 타이밍도이다.

<204>      클럭 인에이블 신호 CEBEN가 로우 레벨을 유지하고, 어드레스 패드 신호 ANPAD가 변하게 되면, 어드레스 천이 검출 신호 ATD에 펄스가 발생되는데, 그 펄스에 의해 동작 제어 신호 OP, OPB를 천이 시킨다.

### 【발명의 효과】

<205>      이상에서 살펴본 바와 같이, 본 발명에 따른 불휘발성 강유전체 메모리 장치는 워드라인/플레이트 라인 디코더 블록에 관련된 회로를 두 영역으로 나누어 다른 위치에 배치하여, 즉, 제1 신호 디코더 블록 및 제2 신호 디코더 블록으로 나누고, 제1 신호 디코더 블록은 셀 어레이 블록의 워드라인과 평행한 방향으로 데이터 버스의 반대쪽에 배치하고, 제2 신호 디코더 블록은 각 셀 어레이 블록의 칼럼 방향과 평행한 방향으로 중앙의 제어 회로 블록과 인접하여 배치하기 때문에, 신호 디코더 영역을 두개로 나누어 제어함에 따라 면적을 줄이고 구동 신호 속도를 향상시킬 수 있는 효과가 있다.

<206>      또한, 워드라인/플레이트 라인 구동부의 수를 줄일 수 있기 때문에 다른 층을 이용하여 각각의 신호를 배치함으로써 워드라인/플레이트 라인 디코더부의 면적을 줄일 수 있는 효과가 있다.

<207>      워드라인을 플레이트 라인보다 일정시간 먼저 활성화 시킨 후 그 기간동안 서브 비트 라인 풀다운 신호를 계속 활성화하여 셀 저장 노드가 접지 레벨로 초기화시키고, 초기화가 끝난 다음 서브 비트 라인 풀다운 신호를 비활성화하고 플레이트 라인을 활성화

시키고, 워드라인을 플레이트 라인보다 일정시간 먼저 비활성화 시킨 후에 플레이트 라인을 비활성화 시키기 때문에, 멀티 비트 셀을 구현함에 있어서 초기 셀 저장 노드의 상태를 안정시키고, 센싱 마진을 향상시킬 수 있는 효과가 있다.

<208> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

**【특허청구범위】****【청구항 1】**

복수의 메인 비트 라인 및 복수의 메모리 셀이 연결된 서브 비트 라인을 포함하는 복수의 서브 메모리 셀 어레이 블록을 포함하여 구성된 복수의 셀 어레이 블록; 상기 각 셀 어레이 블록의 상기 메모리 셀을 선택하는 복수의 구동수단; 및 상기 복수의 구동수단에 디코딩 신호를 인가하며, 상기 각 셀 어레이 블록에 대응하는 복수의 디코더를 포함하되, 상기 각 디코더는, 상기 해당하는 구동수단에 인가하는 상기 디코딩 신호를 발생하는 제1 서브 디코더 및 상기 해당하는 구동수단을 선택하는 신호를 발생하는 제2 서브 디코더를 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 2】**

제 1 항에 있어서,  
상기 각 서브 메모리 셀 어레이 블록은, 상기 복수의 메인 비트 라인; 및 복수의 단위 서브 메모리 셀 어레이를 포함하되,  
상기 각 단위 서브 메모리 셀 어레이는 상기 복수의 메모리 셀이 연결된 상기 서브 비트 라인을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 3】**

제 2 항에 있어서,



상기 서브 비트 라인에 실린 데이터의 전압에 의해 상기 메인 비트 라인의 전위를 상기 데이터의 전압으로 설정하는 전류 조정 수단을 더 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 4】

제 3 항에 있어서,

상기 전류 조정 수단은, 제어단자가 상기 서브 비트 라인에 연결되고, 한 단자가 상기 메인 비트 라인에 연결되고, 다른 한 단자가 접지전압에 연결된 트랜지스터로 구성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 5】

제 2 항에 있어서,

상기 서브 비트 라인을 승압전압으로 풀업시키는 풀업 수단을 더 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 6】

제 5 항에 있어서,

상기 풀업 수단은, 제어단자에 풀업 제어신호가 인가되고, 한 단자에 풀업 신호가 인가되고, 다른 한 단자가 상기 서브 비트 라인에 연결된 트랜지스터로 구성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 7】

제 6 항에 있어서,

상기 풀업 신호는, 상기 풀업 제어신호가 승압 전압으로 천이하고, 일정시간이 경과한 후에 승압전압으로 천이하는 신호인 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 8】

제 2 항에 있어서,

재저장 및 쓰기 동작 시에 상기 서브 비트 라인과 상기 메인 비트 라인을 상호 연결하는 스위치 수단을 더 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 9】

제 8 항에 있어서,

상기 스위치 수단은, 재저장 및 쓰기 동작 시에 승압전압으로 인에이블 되는 제어 신호에 의해 제어되는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 10】

제 2 항에 있어서,

상기 메인 비트 라인이 일정한 부하 값을 갖도록 제어하는 복수의 부하 제어 수단을 더 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 11】

제 10 항에 있어서,

상기 부하 제어 수단은, 상기 메인 비트 라인에 일정 간격을 두고 연결되어 전원전압을 인가하는 트랜지스터로 구성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 12】**

제 11 항에 있어서,

상기 트랜지스터는, 턴 온 되었을 때는 저항 소자로써 동작하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 13】**

제 1 항에 있어서,

상기 각 구동수단은, 상기 제1 서브 디코더에서 출력된 출력신호들의 버스들 및 상기 제2 서브 디코더에서 출력된 출력신호들의 버스들이 교차하는 영역에 형성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 14】**

제 13 항에 있어서,

상기 각 구동 수단은, 상기 제2 서브 디코더의 출력신호에 따라 상기 제1 서브 디코더의 신호를 해당하는 구동 라인에 선택적으로 인가하는 제1 스위치 수단; 및 상기 제2 서브 디코더의 출력신호에 따라 해당하는 구동 라인을 풀다운 하는 제2 스위치 수단을 포함하여 구성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 15】**

제 14 항에 있어서,

상기 각 구동 수단은, 게이트 제어신호에 따라 상기 제2 서브 디코더의 출력신호를 상기 제1 스위치 수단의 제어단자로 선택적으로 전송하는 제3 스위치 소자를 추가로 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 16】**

제 15 항에 있어서,

상기 게이트 제어신호는 승압전압 레벨을 갖는 짧은 펄스를 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 17】**

제 15 항 및 제 16 항 중 어느 한 항에 있어서,

상기 제1 서브 디코더는 상기 게이트 제어신호를 발생하는 발생 수단을 추가로 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 18】**

제 15 항 및 제 16 항 중 어느 한 항에 있어서,

상기 제2 서브 디코더는 상기 게이트 제어신호를 발생하는 발생 수단을 추가로 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 19】**

제 13 항에 있어서,

상기 각 구동 수단은, 계층적 신호 라인 구조를 갖는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 20】**

제 19 항에 있어서,

상기 각 구동 수단을 구성하는 소자들에 상기 제2 서브 워드라인 디코더의 출력신호를 인가하기 위한 적어도 하나의 중간 연결 층이 형성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

### 【청구항 21】

제 1 항에 있어서,

상기 제1 서브 디코더는 레벨 시프터를 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

### 【청구항 22】

복수의 메인 비트 라인 및 복수의 메모리 셀이 연결된 서브 비트 라인을 포함하는 복수의 서브 메모리 셀 어레이 블록을 포함하여 구성된 적어도 하나 이상의 셀 어레이 블록 및 상기 메모리 셀에 저장된 데이터를 센싱 및 증폭하는 복수의 센스앰프를 포함하는 센스앰프 어레이 블록을 포함하는 복수의 단위 메모리 블록;

상기 각 셀 어레이 블록의 상기 메모리 셀을 선택하는 복수의 구동수단; 및 상기 복수의 구동수단에 디코딩 신호를 인가하며, 상기 각 단위 메모리 블록에 대응하는 복수의 디코더를 포함하되,

상기 각 디코더는, 상기 해당하는 구동수단에 인가하는 상기 디코딩 신호를 발생하는 제1 서브 디코더 및 상기 복수의 단위 메모리 블록들이 공유하고, 상기 해당하는 구동수단을 선택하는 신호를 발생하는 제2 서브 디코더를 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 23】**

제 22 항에 있어서,

상기 적어도 하나 이상의 셀 어레이 블록은 하나의 센스앰프 어레이 블록을 공유하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 24】**

복수의 메인 비트 라인 및 복수의 메모리 셀이 연결된 서브 비트 라인을 포함하는 복수의 서브 메모리 셀 어레이 블록을 포함하여 구성된 복수의 셀 어레이 블록;  
상기 메모리 셀에 데이터를 저장하고 저장된 데이터를 읽기 위한 어드레스 제어 회로를 포함하는 제어 회로 블록을 포함하되,

상기 어드레스 제어 회로는,

클럭 인에이블 신호에 따라 어드레스 패드를 통해 입력된 어드레스 패드 신호를 버퍼링하는 어드레스 버퍼;

동작 제어 신호에 따라 상기 어드레스 버퍼의 출력신호를 래치하는 어드레스 래치;  
및

클럭 인에이블 신호에 따라 상기 어드레스 래치의 출력신호를 천이 시점을 검출하는 어드레스 천이 검출 수단을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

**【청구항 25】**

제 24 항에 있어서,

상기 어드레스 버퍼는, 상기 어드레스 패드 신호 및 클럭 인에이블 신호를 논리 조합하는 논리 수단; 및

상기 논리 수단의 출력신호를 버퍼링 하는 버퍼링 수단을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 26】

제 25 항에 있어서,

상기 어드레스 버퍼는, 상기 어드레스 패드 신호가 입력되는 입력단자에 연결된 정전기 방지 회로를 추가로 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 27】

제 24 항에 있어서,

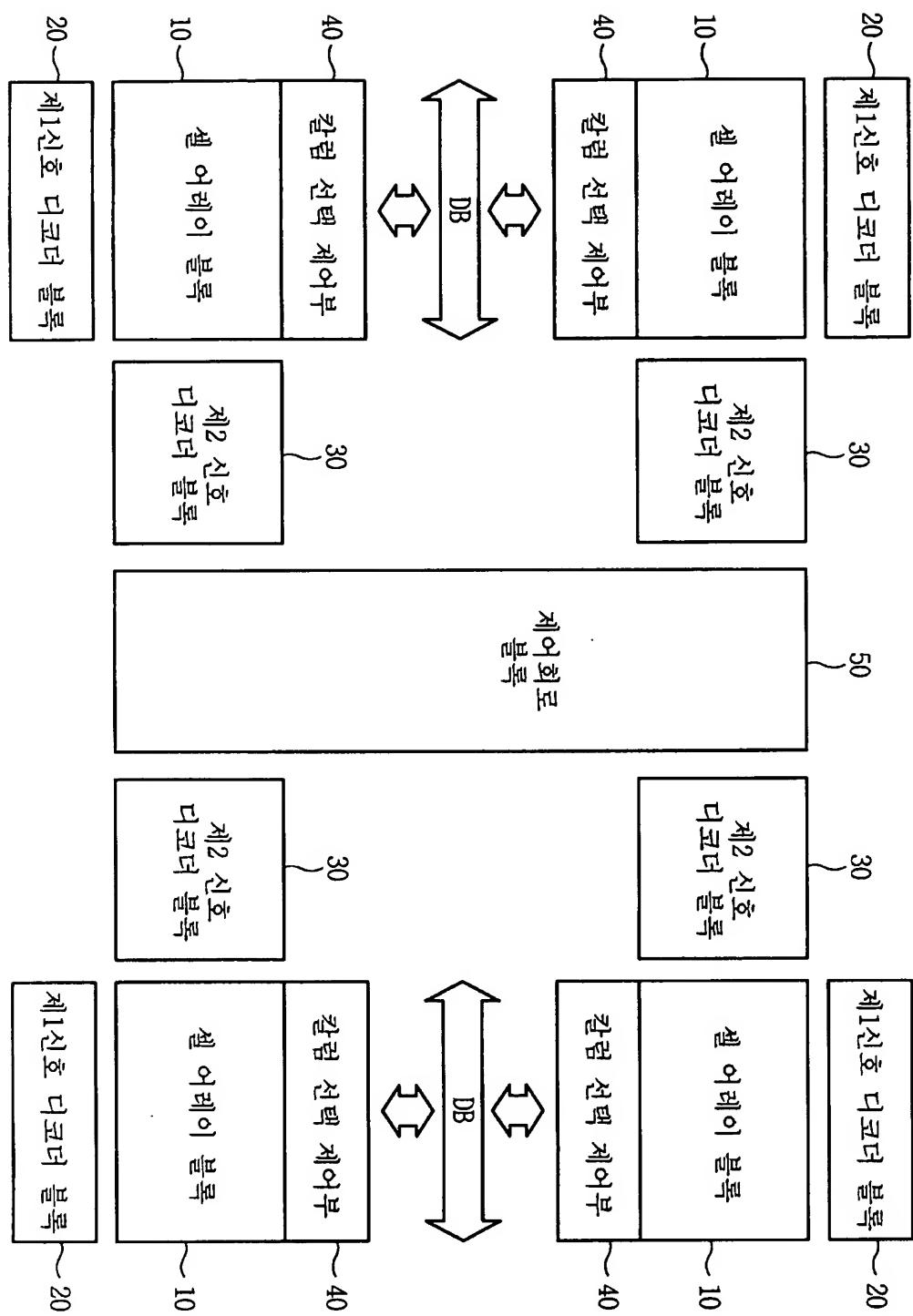
상기 어드레스 래치는, 상기 동작 제어 신호에 따라 상기 어드레스 버퍼의 출력신호를 선택적으로 전송하는 제1 전송 수단;

서로의 입력과 출력이 상호 접속되어 상기 제1 전송 수단으로부터 선택적으로 전송된 출력신호를 래치하는 래치수단; 및

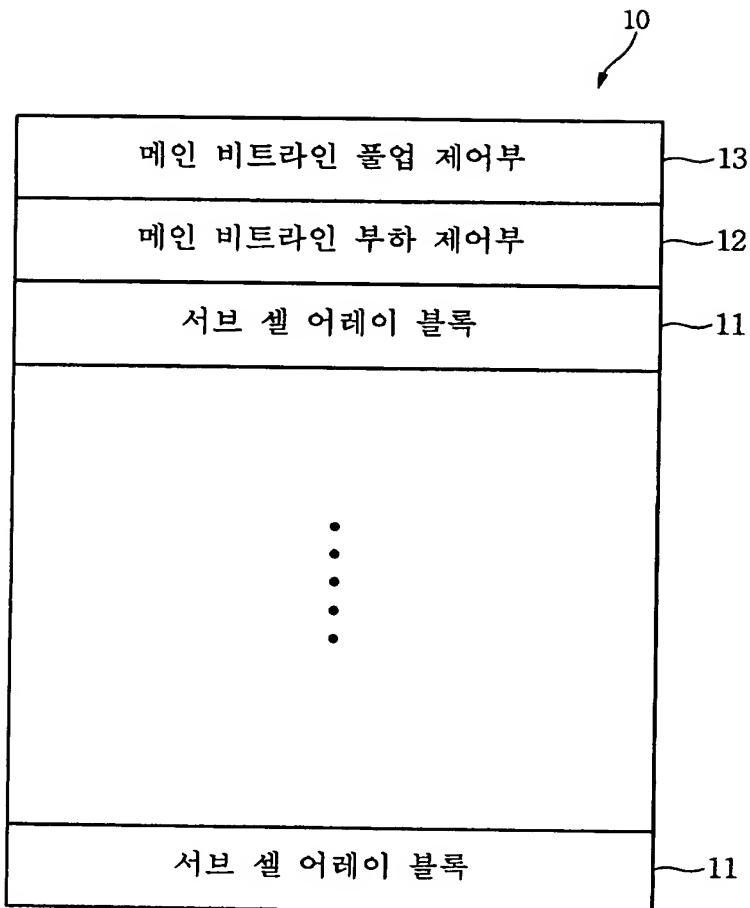
상기 동작 제어 신호에 따라 상기 래치수단의 출력신호를 선택적으로 상기 래치수단의 입력단자로 전송하는 제2 전송 수단을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 28】

제 24 항에 있어서,

【**4**】

【도 5】



상기 어드레스 천이 검출 수단은, 상기 어드레스 래치의 출력신호를 일정 신간 지연하는 지연수단;

상기 클럭 인에이블 신호에 따라 상기 어드레스 래치의 출력신호 및 상기 지연수단의 출력신호를 논리 조합하는 논리 수단; 및

상기 논리 수단의 출력신호에 따라 상기 어드레스 래치의 출력신호의 천이 시점을 검출한 어드레스 천이 검출 신호를 출력하는 구동수단을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 【청구항 29】

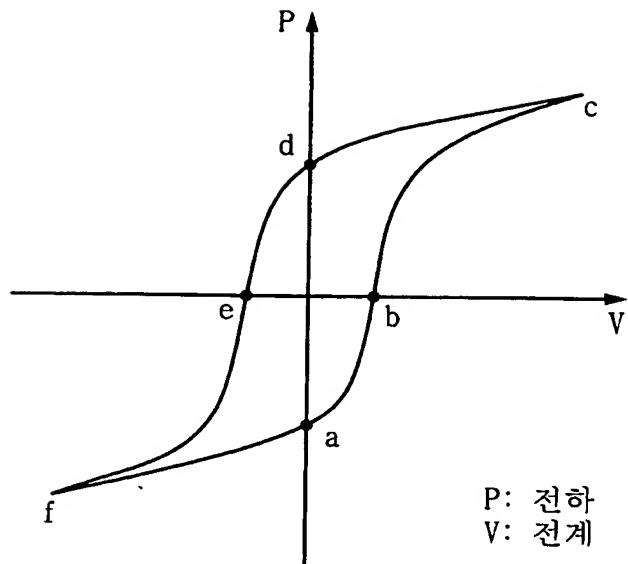
제 28 항에 있어서,

상기 구동수단은, 상기 논리 수단의 출력신호에 따라 상기 어드레스 천이 검출 신호를 풀 업 하는 풀 업 수단; 및

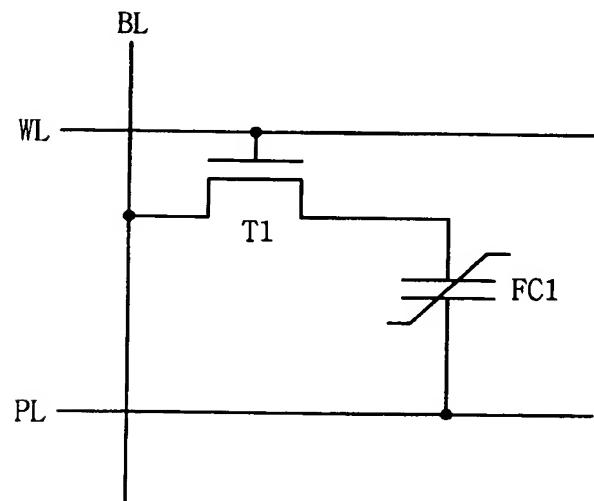
상기 논리 수단의 출력신호에 따라 상기 어드레스 천이 검출 신호를 풀다운 하는 풀다운 수단을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

## 【도면】

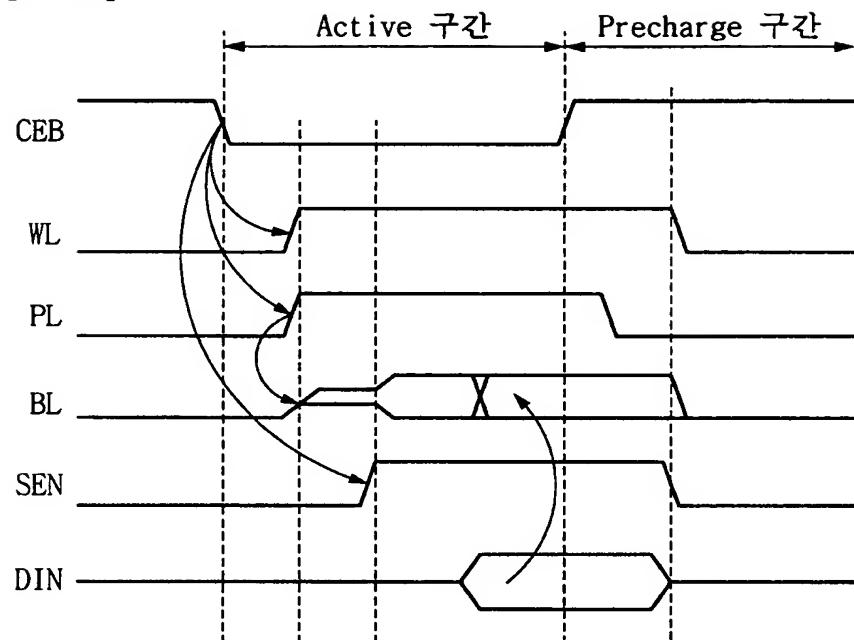
【도 1】



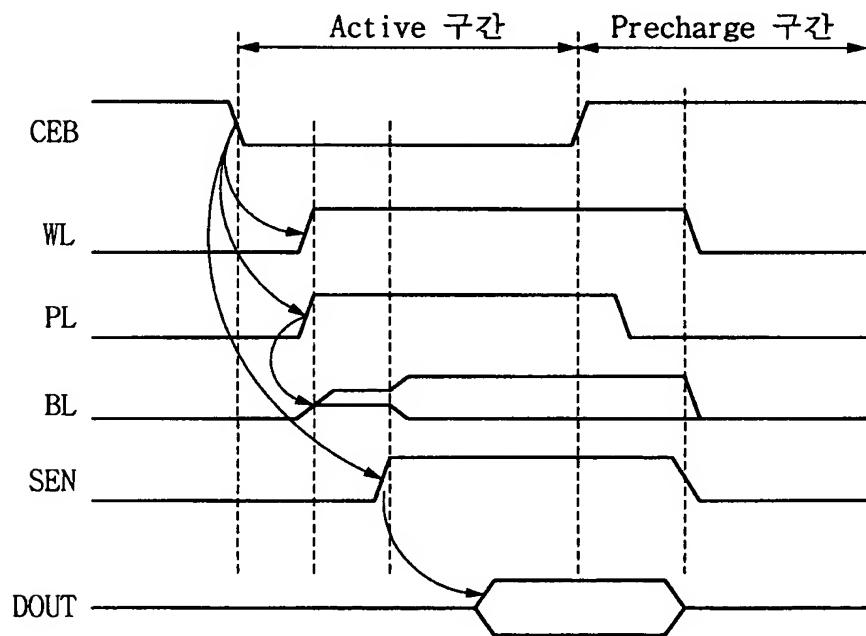
【도 2】



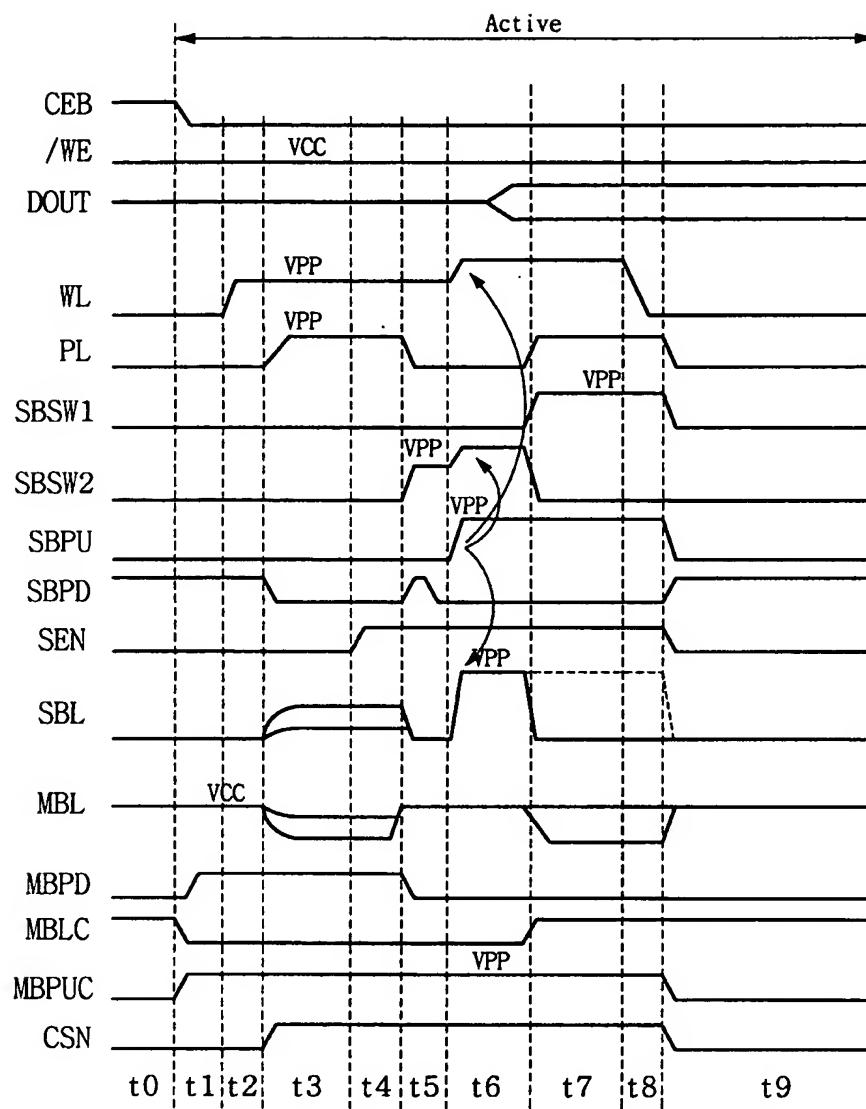
【도 3a】



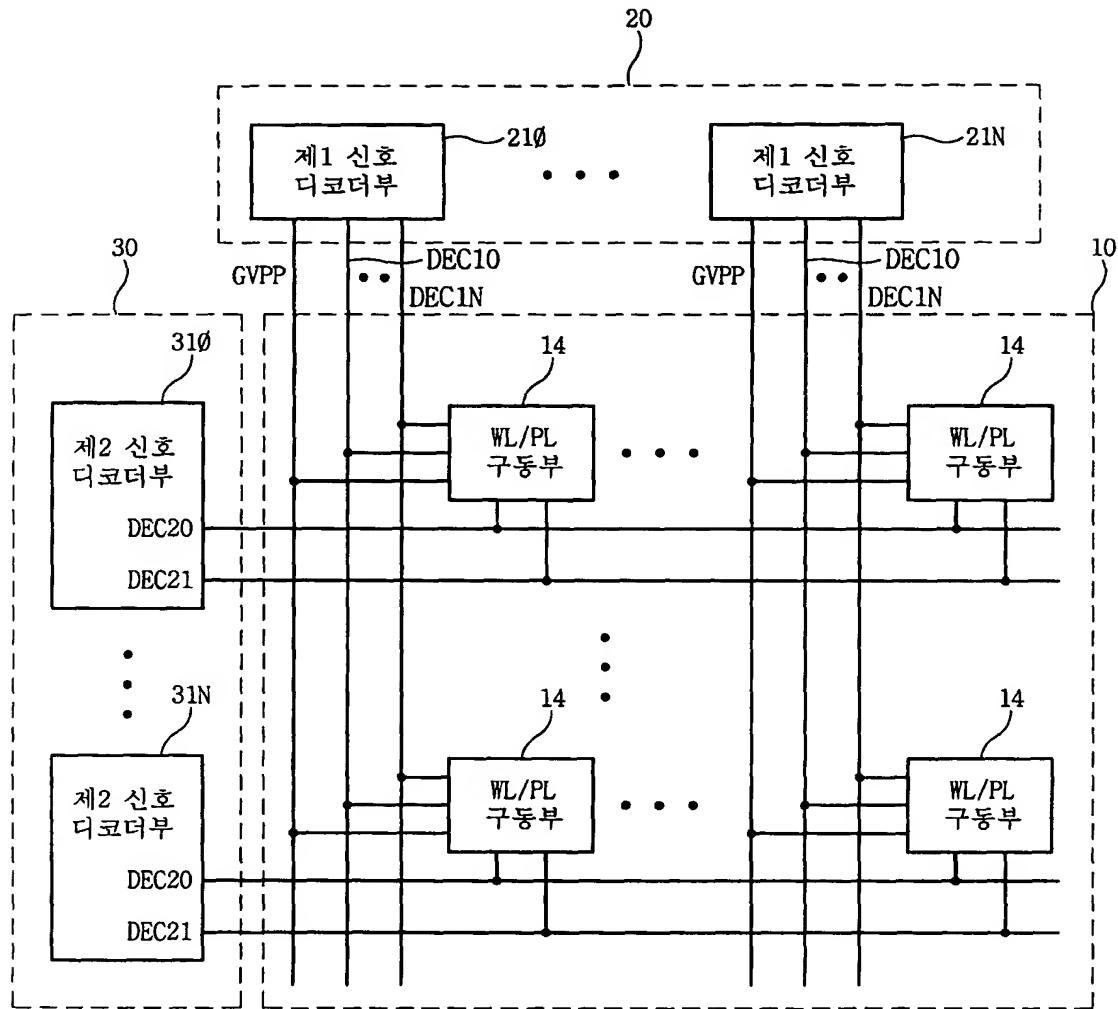
【도 3b】



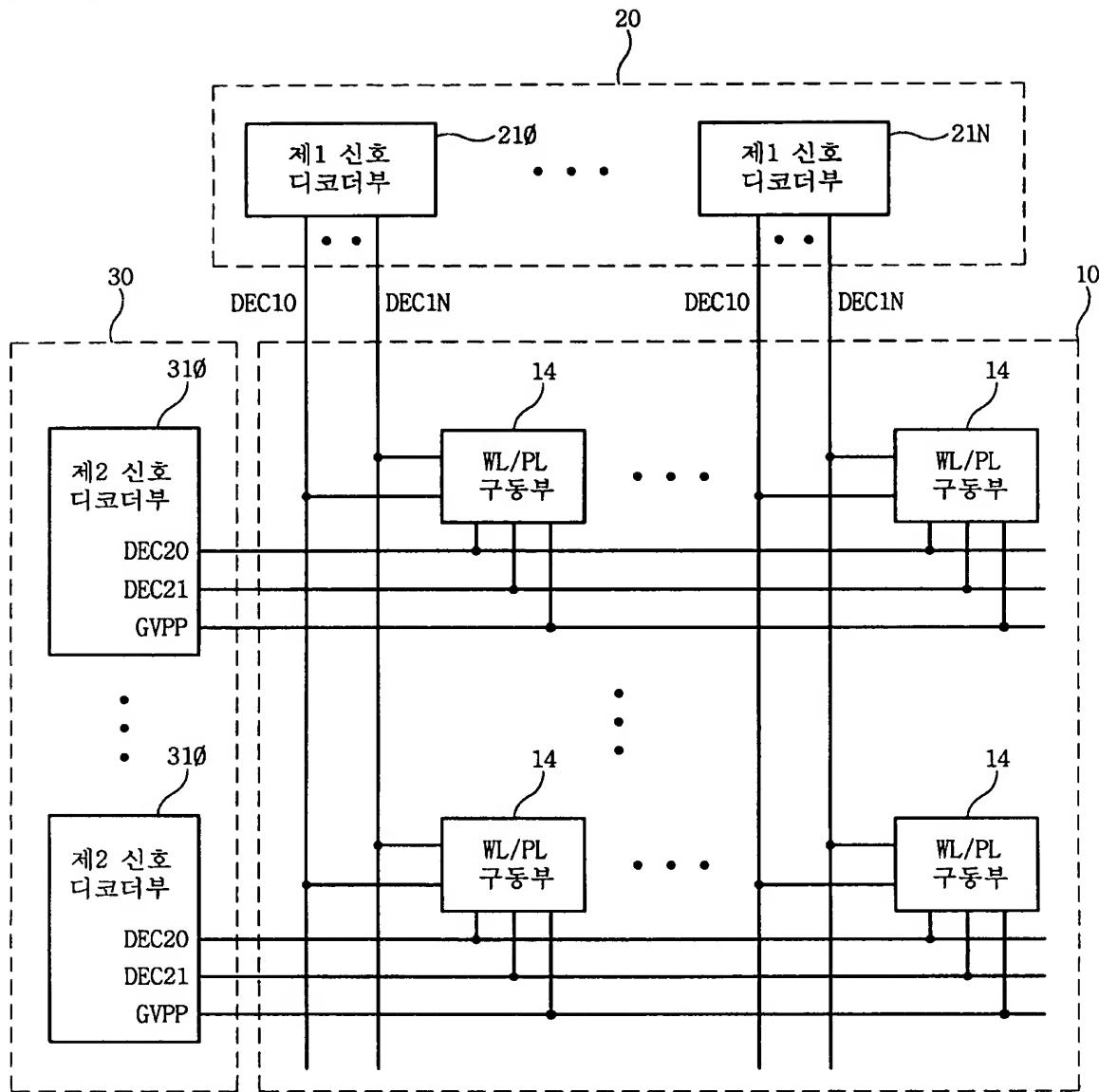
【도 11】



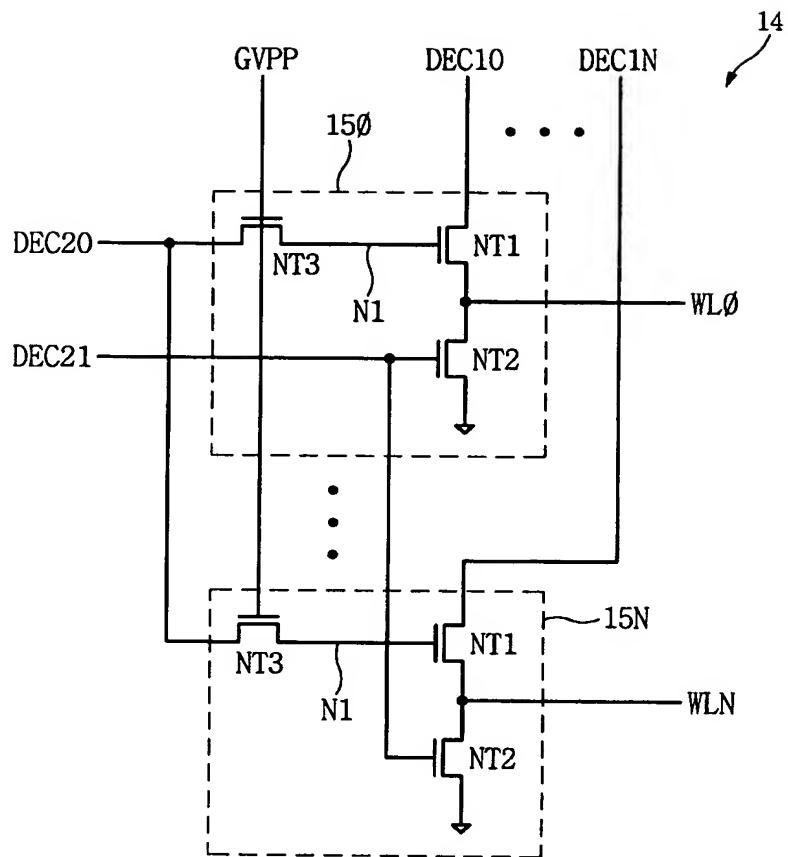
【도 12】



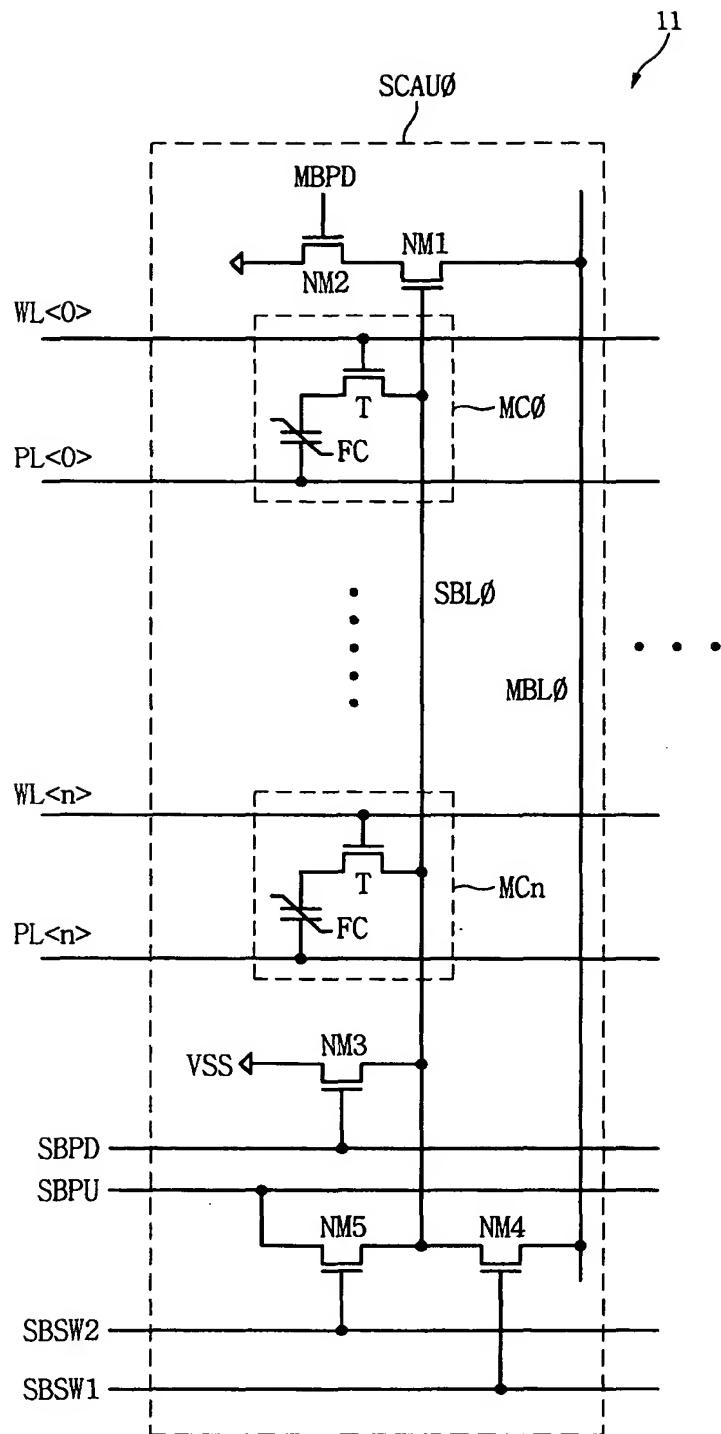
【도 13】



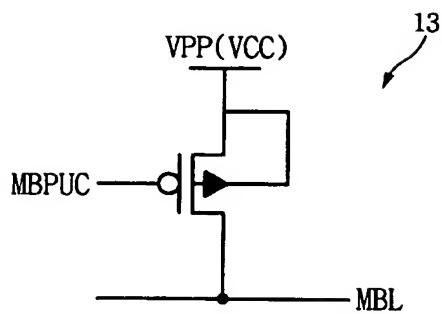
【도 14】



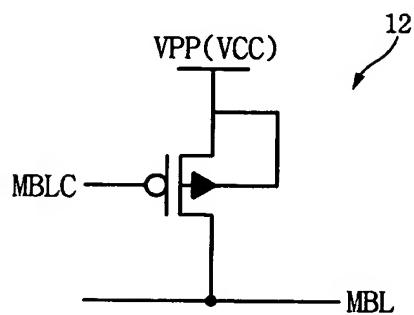
【도 6】



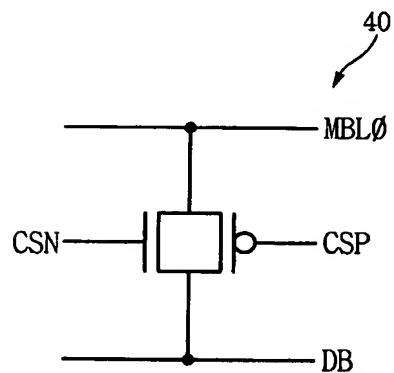
【도 7】



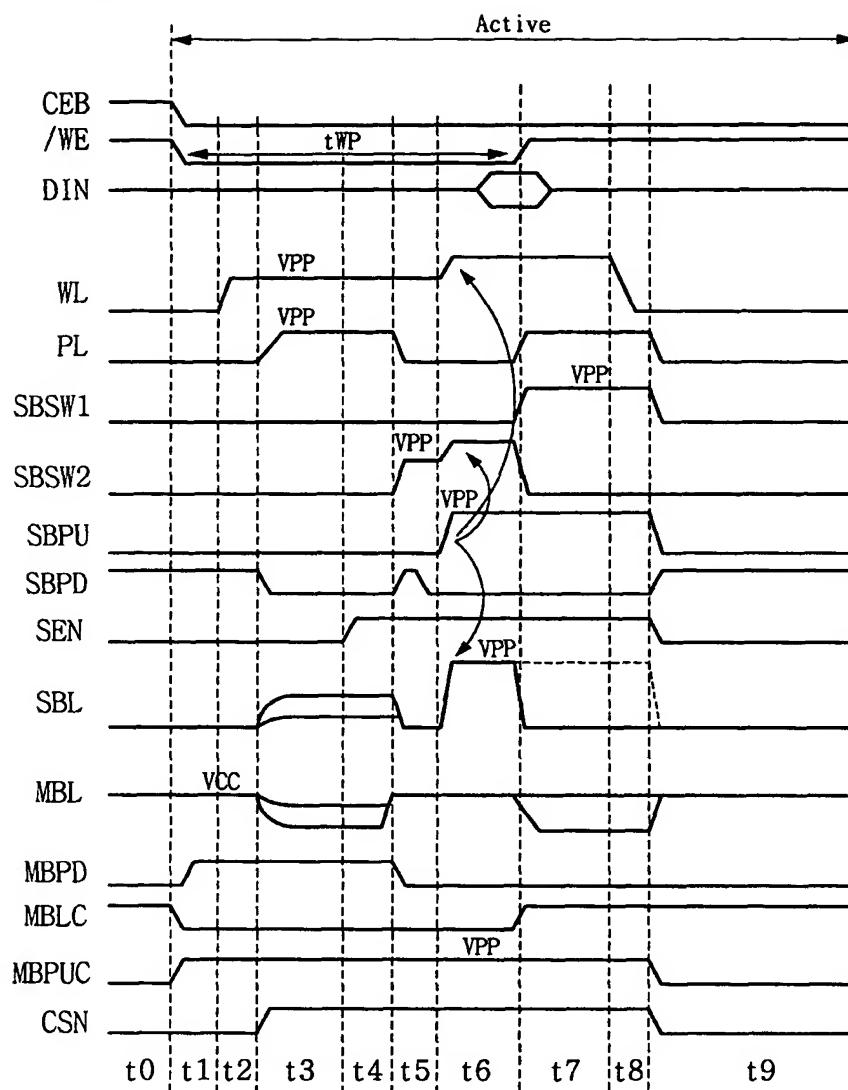
【도 8】



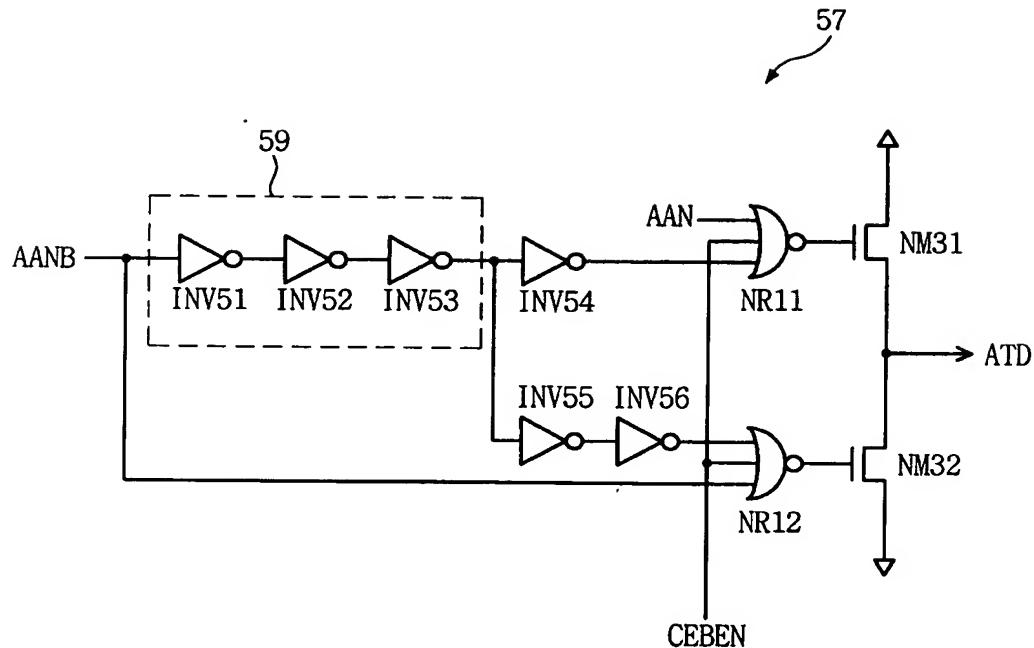
【도 9】



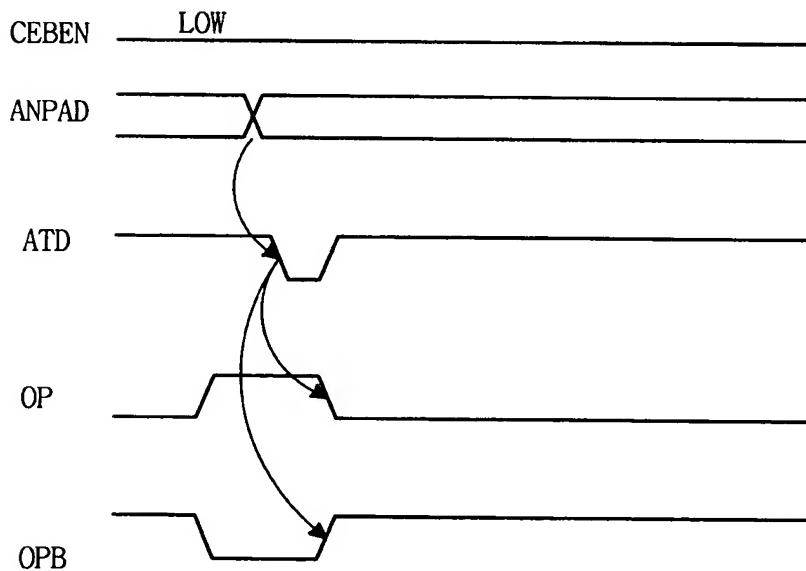
【도 10】



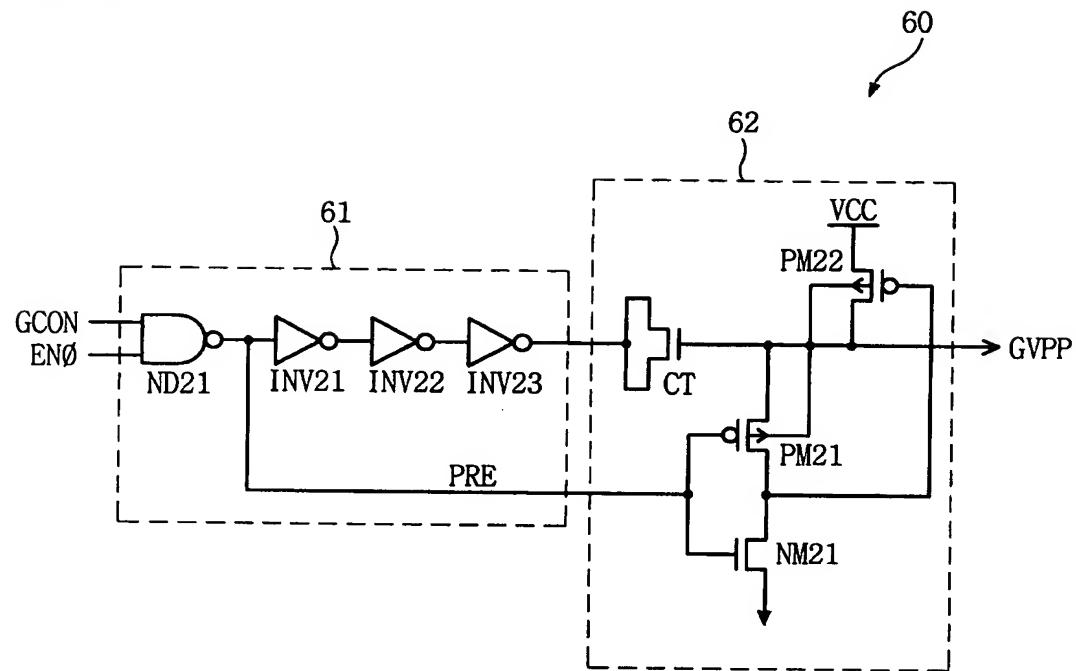
【도 27】



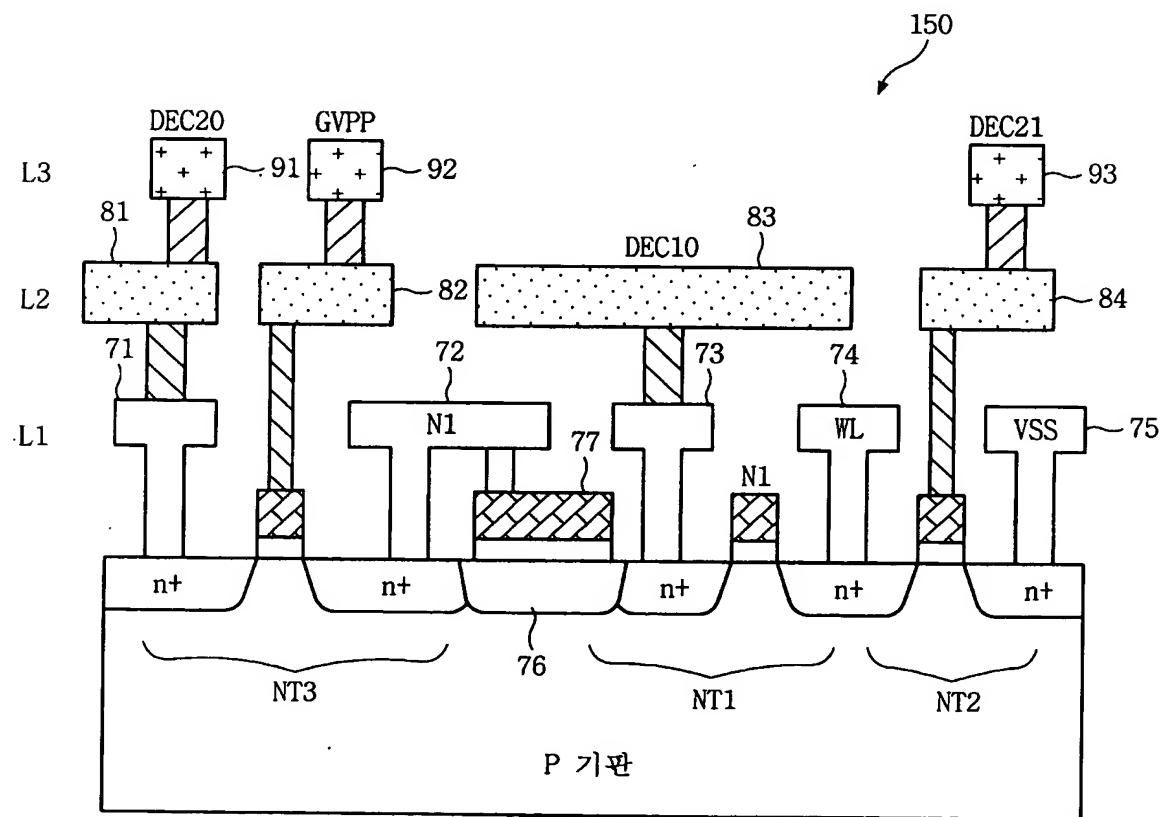
### 【도 28】



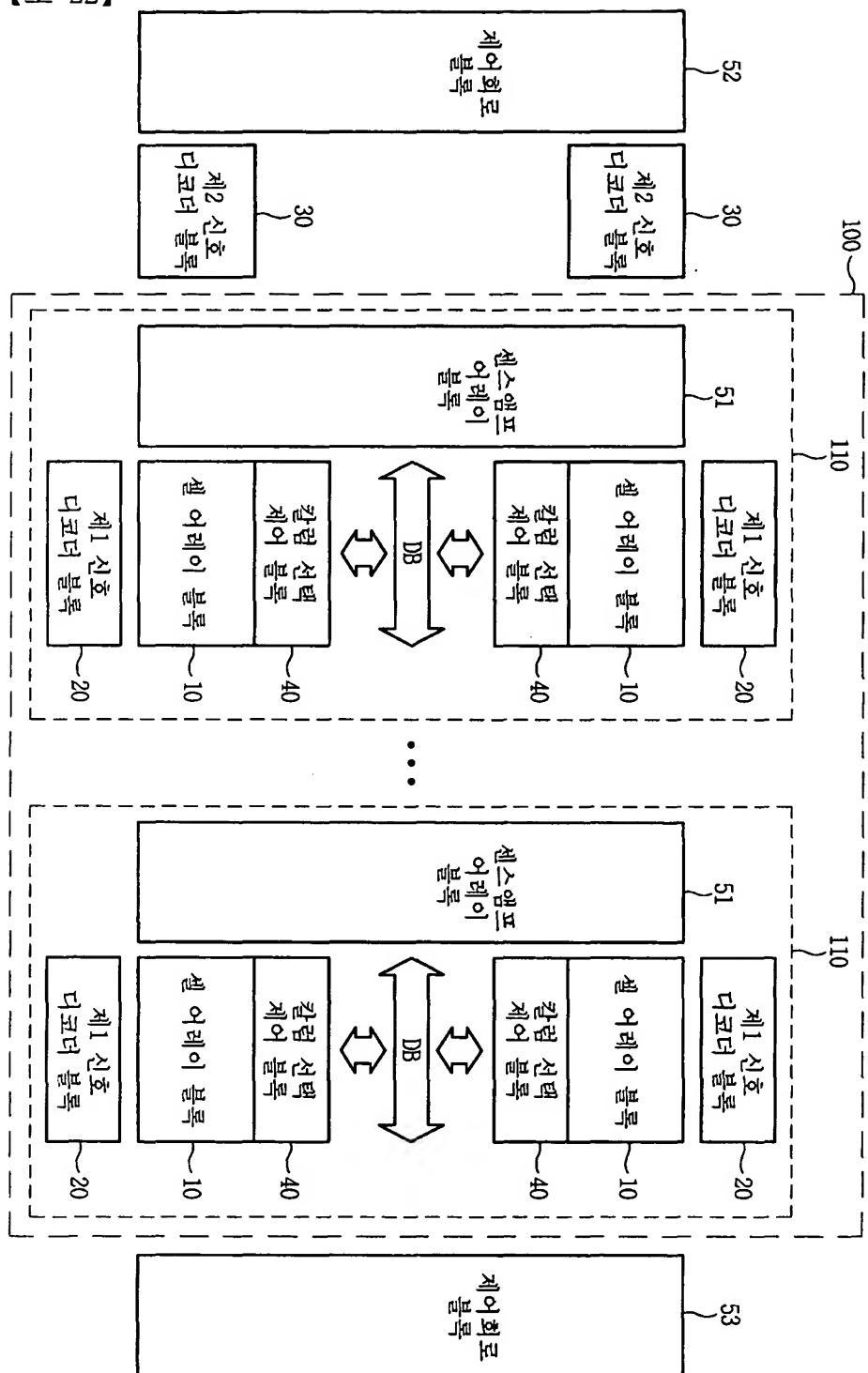
【도 20】



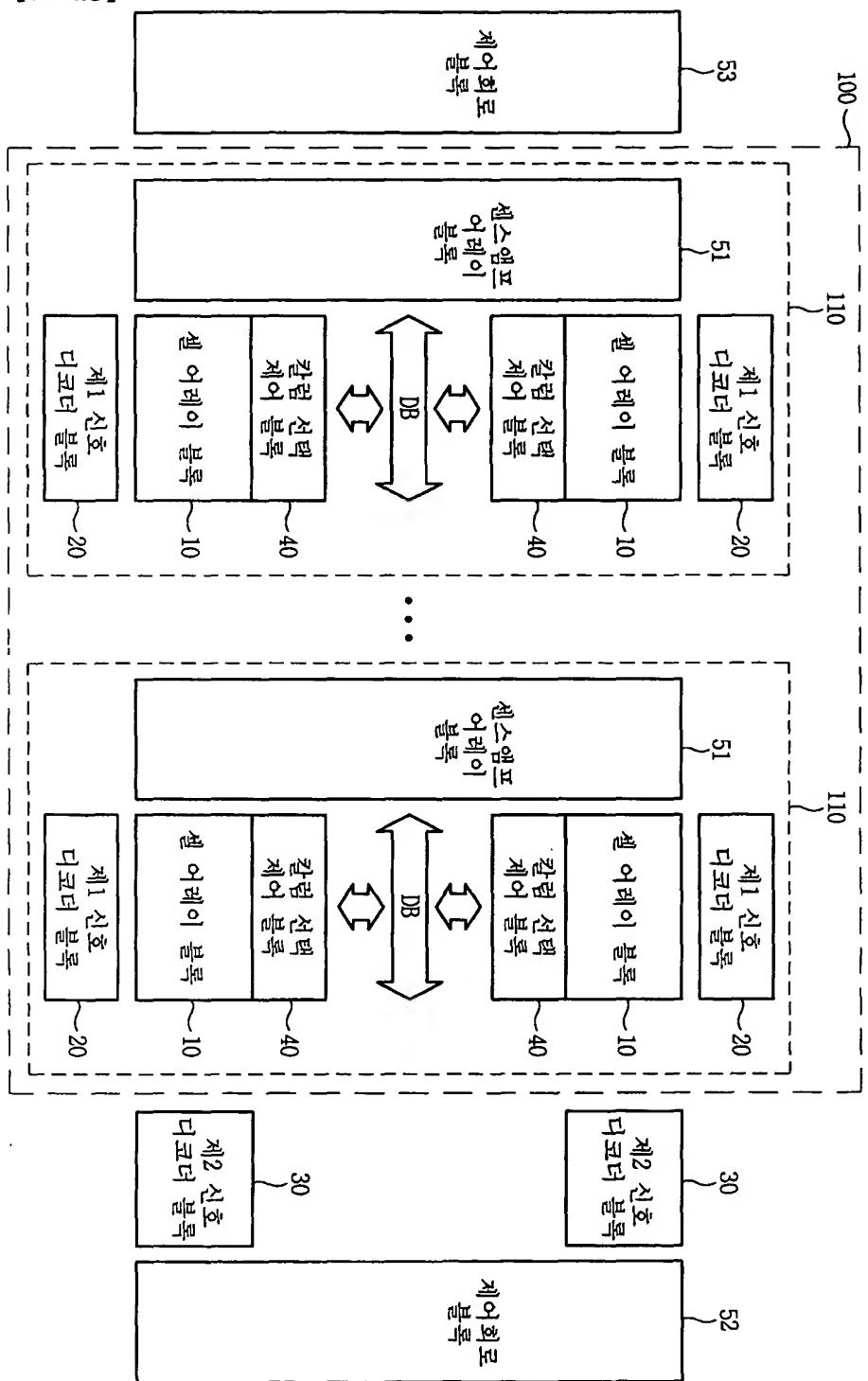
【도 21】



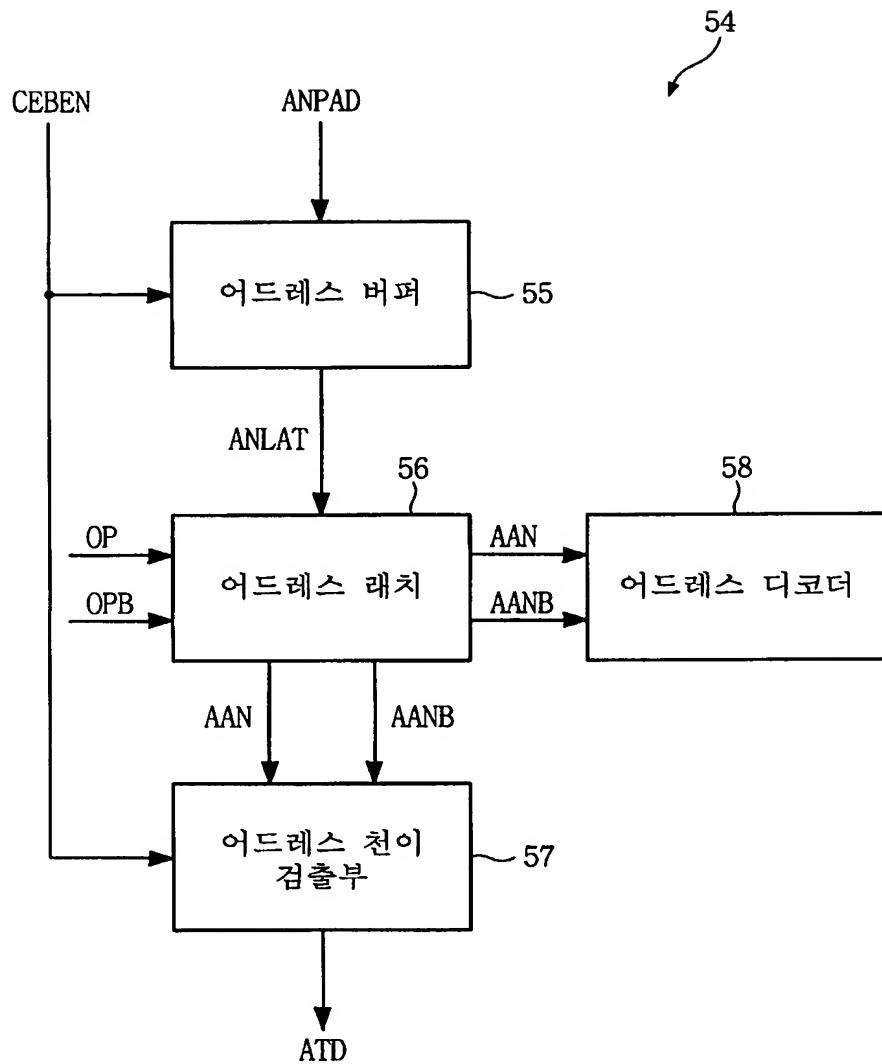
【도 22】



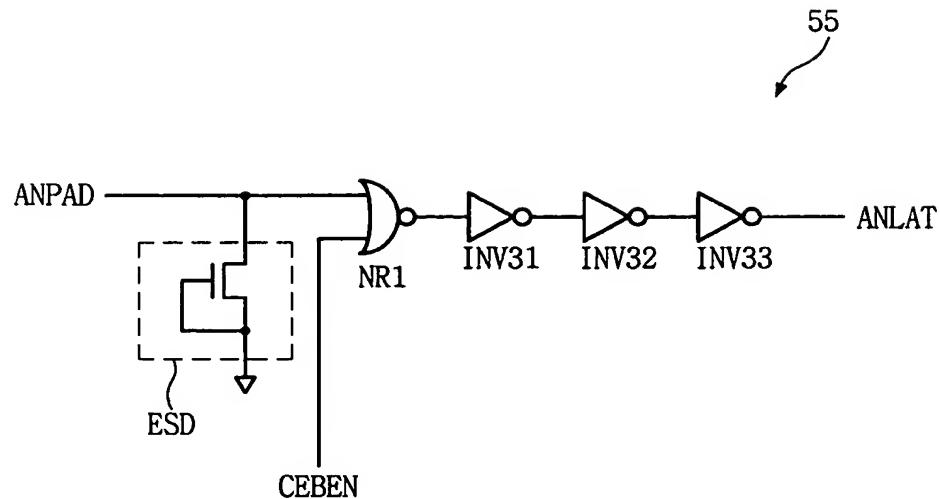
【도 23】



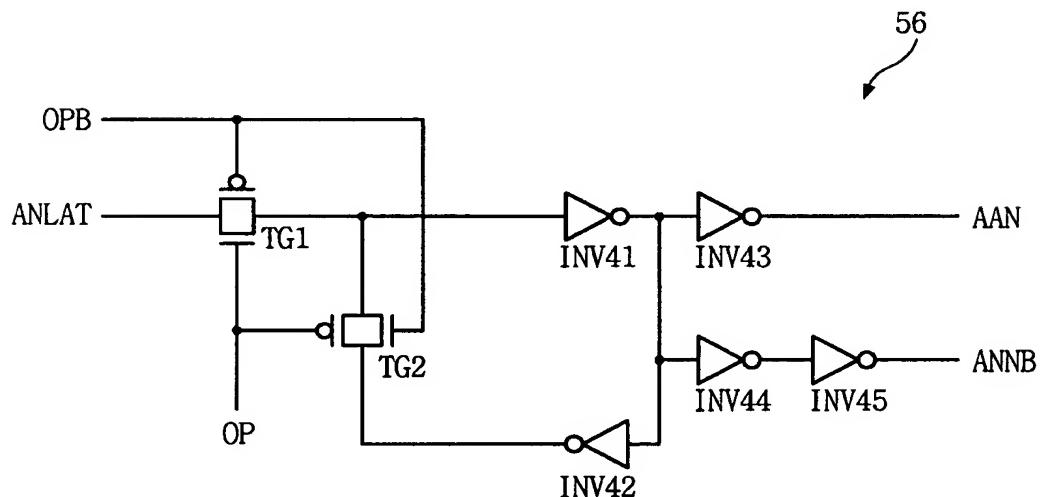
### 【도 24】



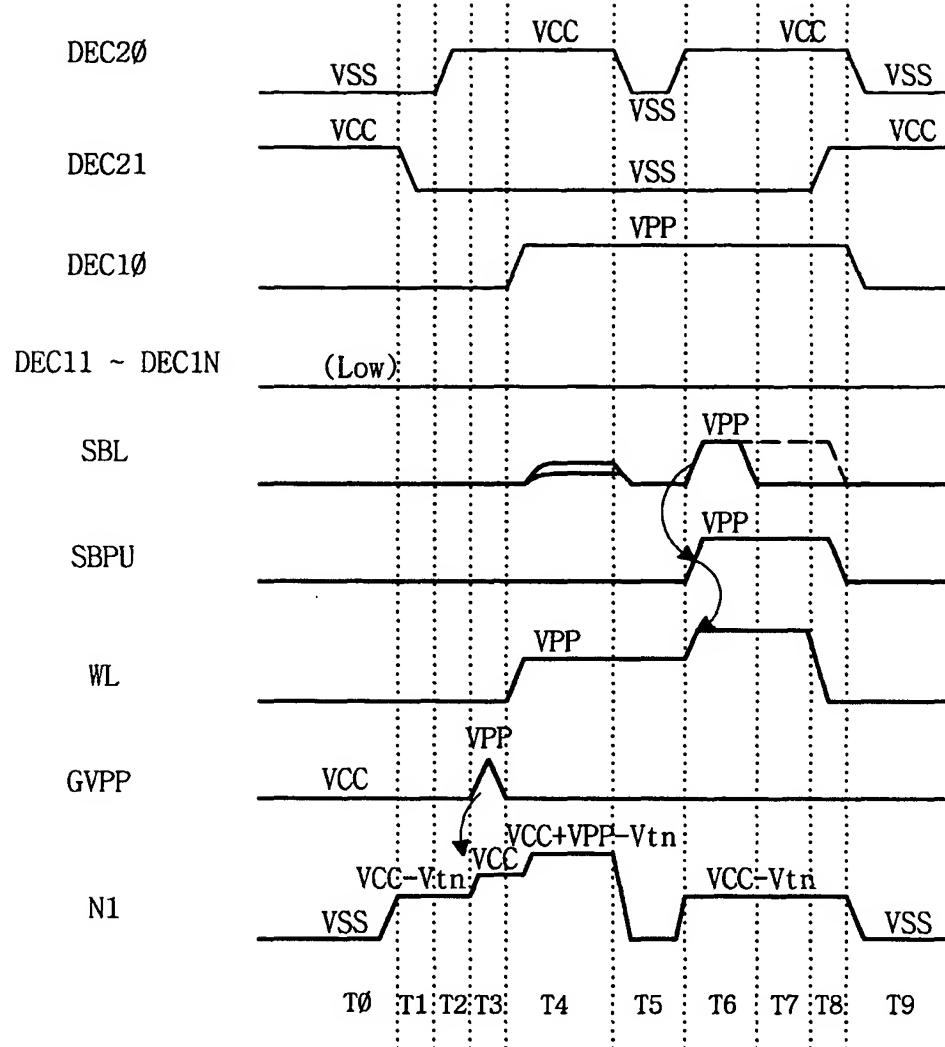
【도 25】



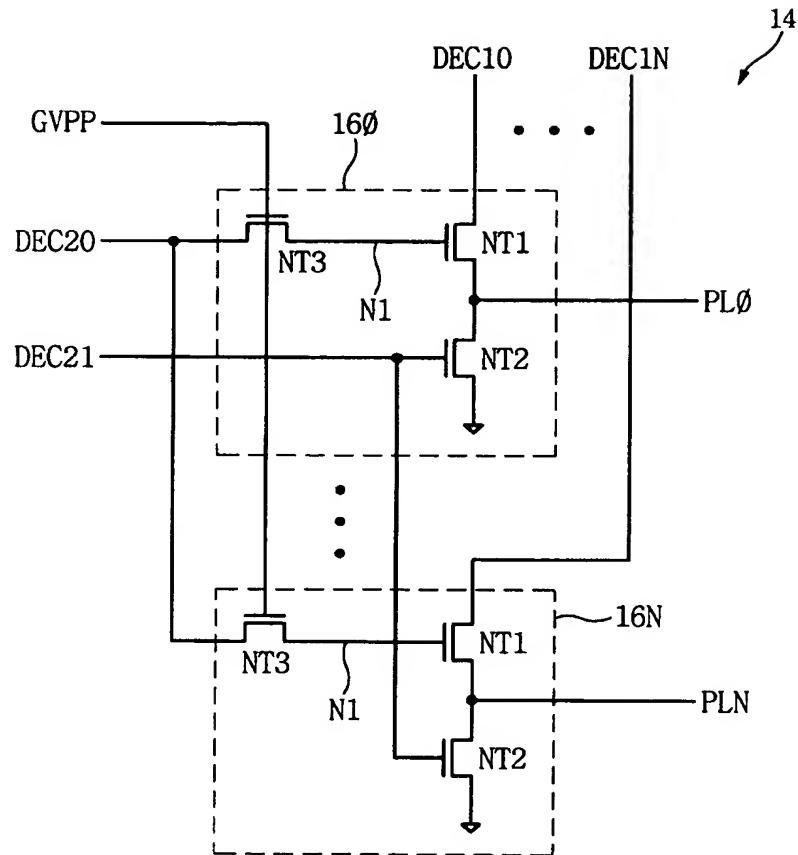
【도 26】



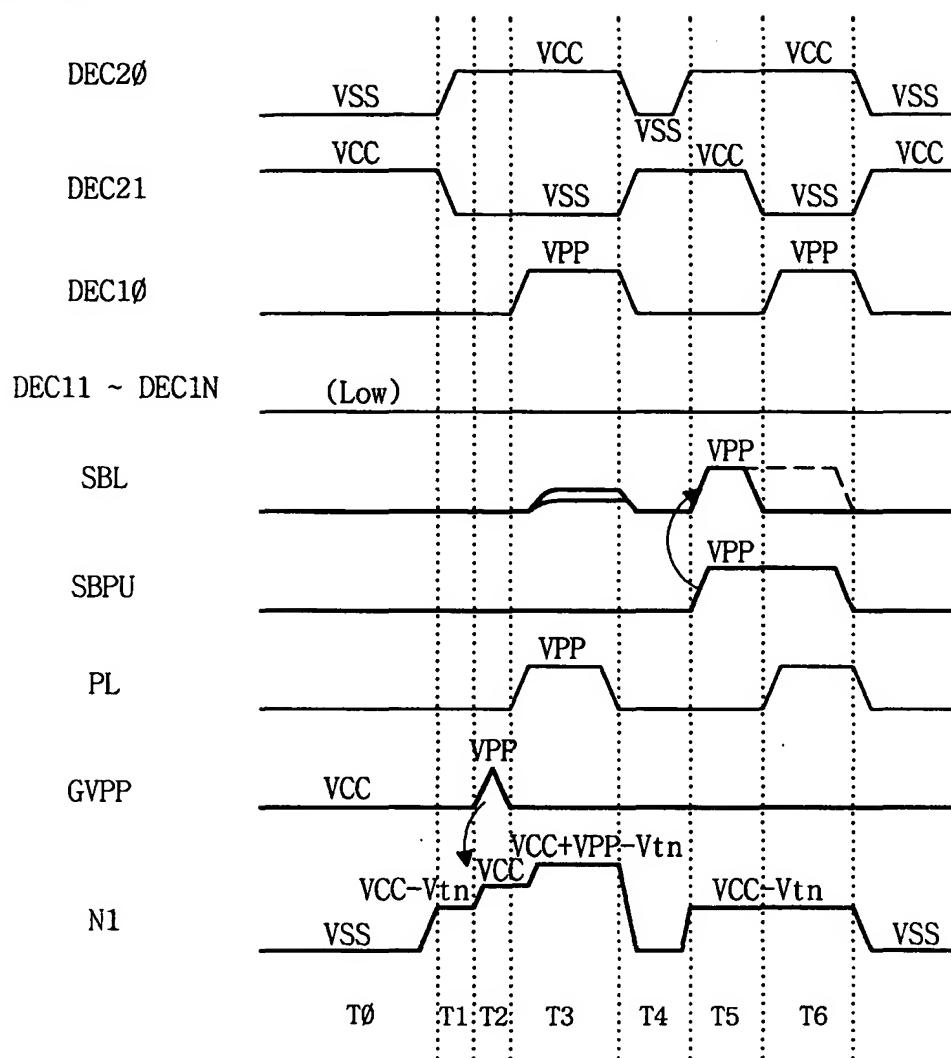
【도 15】



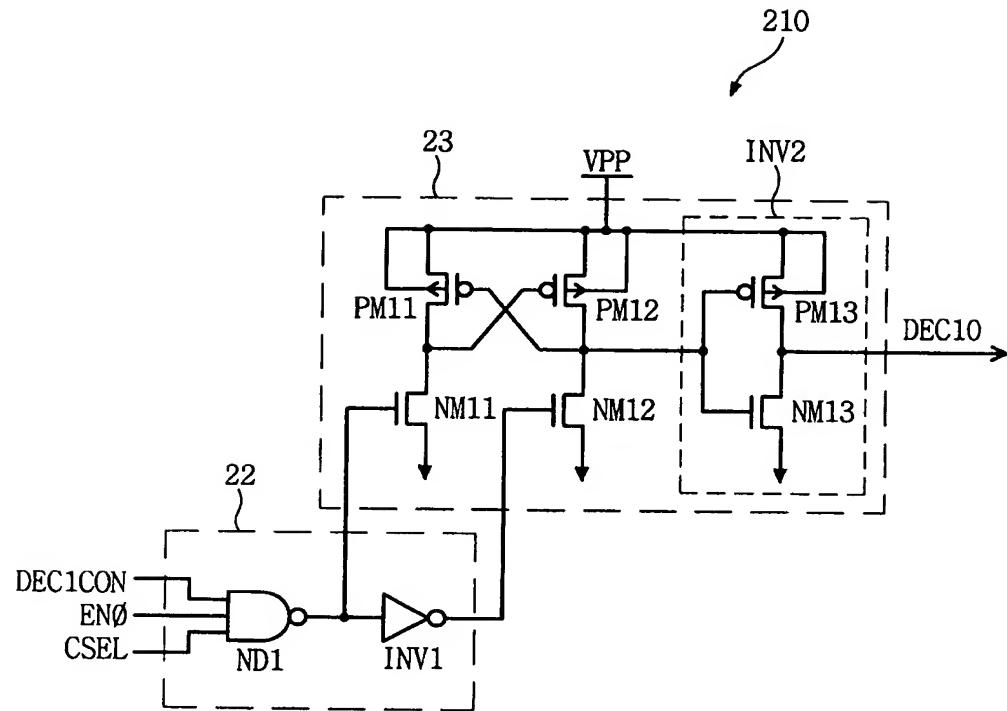
【도 16】



【도 17】



【도 18】



【도 19】

